



PATENT
Attorney Docket No. 5225.0259

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Application of:

TOMOHIRO SAITO ET AL.

Application No.: 10/770,520

Filed: February 4, 2004

For: METHOD OF MANUFACTURING
SEMICONDUCTOR DEVICES

)
)
)
) Group Art Unit: Unknown
)
) Examiner: Unknown
)
)
)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM FOR PRIORITY

Sir:

Under the provisions of Section 119 of 35 U.S.C., Applicants hereby claim the benefit of the filing date of Japanese Patent Application No. 2003-370755, filed October 30, 2003, for the above identified United States patent application.

In support of Applicants' claim for priority, a certified copy of the priority application is filed herewith.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

Dated: _____

4/7/04

By: _____

Richard V. Burgujian
Reg. No. 31,744

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年10月30日

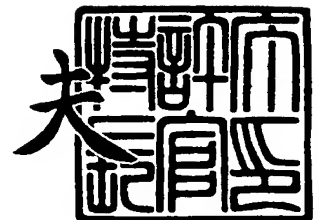
出願番号
Application Number: 特願2003-370755
[ST. 10/C]: [JP 2003-370755]

出願人
Applicant(s): 株式会社東芝

2004年 3月23日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3023701



【書類名】 特許願
【整理番号】 APB0350101
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 齋藤 友博
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 須黒 恭一
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100083161
 【弁理士】
 【氏名又は名称】 外川 英明
 【電話番号】 (03)3457-2512
【手数料の表示】
 【予納台帳番号】 010261
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基体に素子分離領域を形成する工程と、
前記素子分離領域に囲まれた素子領域にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に不純物添加金属シリサイド膜を形成する工程と、
エネルギービームを前記不純物添加金属シリサイド膜に照射して前記不純物添加金属シリサイド膜を熱処理する工程と、
前記不純物添加金属シリサイド膜をパターンニングしてゲート電極膜を形成する工程と、
少なくともパターンニングされた前記ゲート電極膜をマスクに前記素子領域の一領域を挟むように導電型を与える不純物を導入し、ソース及びドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記ゲート電極膜を形成する工程と、前記ソース及びドレイン領域を形成する工程との間に、前記ゲート電極膜をマスクに前記素子領域の一領域を挟むように導電型を与える不純物を導入し、エクステンション領域を形成する工程と、前記ゲート電極膜の側周壁領域に側壁絶縁膜を形成する工程とを有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

半導体基体に素子分離領域を形成する工程と、
前記素子分離領域に囲まれた素子領域にダミーゲート絶縁膜を形成する工程と、
前記ダミーゲート絶縁膜上にダミーゲート電極膜を形成する工程と、
前記ダミーゲート電極膜をパターンニングしてダミーゲート電極を形成する工程と、
前記ダミーゲート電極膜をマスクに前記素子領域の一領域を挟むように導電型を与える不純物を導入し、エクステンション領域を形成する工程と、
前記ダミーゲート電極膜の側周壁領域に側壁絶縁膜を形成する工程と、
前記側壁絶縁膜が形成された前記ダミーゲート電極膜をマスクに前記素子領域の一領域を挟むように導電型を与える不純物を導入し、ソース及びドレイン領域を形成する工程と、
前記ダミーゲート電極膜及び前記ダミー絶縁膜を除去して空間部を形成する工程と、
前記空間部の前記半導体基体上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、不純物添加金属シリサイド膜を形成する工程と、
エネルギービームを前記不純物添加金属シリサイド膜に照射して前記不純物添加金属シリサイド膜を熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】

前記不純物添加金属シリサイド膜に導入される不純物がシリコンに導電型を与える不純物であることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

半導体基体に素子分離領域を形成する工程と、
前記素子分離領域に囲まれた素子領域の一部に P 型ウェル領域を、他の一部の素子領域に N 型ウェル領域を形成し、それぞれ N 型絶縁ゲート電界効果トランジスタ領域及び P 型絶縁ゲート電界効果トランジスタ領域とする工程と、
前記 N 型絶縁ゲート電界効果トランジスタ領域及び P 型絶縁ゲート電界効果トランジスタ領域にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に金属シリサイド膜を形成する工程と、
前記 P 型絶縁ゲート電界効果トランジスタ領域の前記金属シリサイド膜へ、シリコンにおける P 型不純物を導入する工程と、
エネルギービームを不純物が導入された前記金属シリサイド膜に照射して前記金属シリサイド膜を熱処理する工程と、
前記金属シリサイド膜をパターンニングしてゲート電極膜を形成する工程と、

少なくともパターンニングされた前記ゲート電極膜をマスクに、前記素子領域の一領域を挟むようにP型絶縁ゲート電界効果トランジスタ領域へはP型を与える不純物を、N型絶縁ゲート電界効果トランジスタ領域へはN型を与える不純物をそれぞれ導入し、ソース及びドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】

前記ゲート電極膜を形成する工程と、前記ソース及びドレイン領域を形成する工程との間に、前記ゲート電極膜をマスクに前記素子領域の一領域を挟むように導電型を与える不純物を導入し、エクステンション領域を形成する工程と、前記ゲート電極膜の側周壁領域に側壁絶縁膜を形成する工程とを有することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】

前記P型絶縁ゲート電界効果トランジスタ領域の前記金属シリサイド膜へ、シリコンにおけるP型不純物を導入する工程と、エネルギービームを不純物が導入された前記金属シリサイド膜に照射して前記金属シリサイド膜を熱処理する工程との間に、前記N型絶縁ゲート電界効果トランジスタ領域の前記金属シリサイド膜へ、シリコンにおけるN型不純物を導入する工程を有することを特徴とする請求項5又は請求項6に記載の半導体装置の製造方法。

【請求項8】

半導体基体に素子分離領域を形成する工程と、
前記素子分離領域に囲まれた素子領域の一部にP型ウェル領域を、他の一部の素子領域にN型ウェル領域を形成し、それぞれN型絶縁ゲート電界効果トランジスタ領域及びP型絶縁ゲート電界効果トランジスタ領域とする工程と、
前記N型絶縁ゲート電界効果トランジスタ領域及びP型絶縁ゲート電界効果トランジスタ領域にダミーゲート絶縁膜を形成する工程と、
前記ダミーゲート絶縁膜上にダミーゲート電極膜を形成する工程と、
前記ダミーゲート電極膜をパターンニングしてダミーゲート電極を形成する工程と、
前記ダミーゲート電極をマスクに前記素子領域の一領域を挟むようにP型絶縁ゲート電界効果トランジスタ領域へはP型を与える不純物を、N型絶縁ゲート電界効果トランジスタ領域へはN型を与える不純物をそれぞれ導入し、エクステンション領域を形成する工程と、
前記ダミーゲート電極の側周壁領域に側壁絶縁膜を形成する工程と、
前記側壁絶縁膜が形成された前記ダミーゲート電極をマスクに、前記素子領域の一領域を挟むようにP型絶縁ゲート電界効果トランジスタ領域へはP型を与える不純物を、N型絶縁ゲート電界効果トランジスタ領域へはN型を与える不純物をそれぞれ導入し、ソース及びドレイン領域を形成する工程と、
前記ダミーゲート電極膜及び前記ダミー絶縁膜を除去して空間部を形成する工程と、
前記空間部の前記半導体基体上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、金属シリサイド膜を形成する工程と、
前記P型絶縁ゲート電界効果トランジスタ領域の前記金属シリサイド膜へ、シリコンにおけるP型不純物を導入する工程と、
エネルギービームを不純物が導入された前記金属シリサイド膜に照射して前記金属シリサイド膜を熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】

前記P型絶縁ゲート電界効果トランジスタ領域の前記金属シリサイド膜へ、シリコンにおけるP型不純物を導入する工程と、エネルギービームを前記金属シリサイド膜に照射して前記金属シリサイド膜を熱処理する工程との間に、前記N型絶縁ゲート電界効果トランジスタ領域の前記金属シリサイド膜へ、シリコンにおけるN型不純物を導入する工程を有することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項 1 0】

前記ソース及びドレイン領域を形成する工程の後に、前記ソース及びドレイン領域上に金属乃至は金属シリサイド層を形成する工程を有することを特徴とする請求項 1 乃至請求項 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 1】

前記エネルギービームがインコヒーレント光であることを特徴とする請求項 1 乃至請求項 1 0 のいずれか 1 項に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置の製造方法

【技術分野】

【0001】

本発明は、ゲート電極に金属シリサイド膜を用いた絶縁ゲート型電界効果トランジスタを有する半導体装置の製造方法に関する。

【背景技術】

【0002】

絶縁ゲート型電界効果トランジスタ（以下、MISFETと称す。）を基本素子とする集積回路の高速化に対して、これまで、微細化技術によってMISFETのチャンネル長を短くする方法が主として用いられてきた。この微細化にはMISFETを構成するゲート絶縁膜及びゲート電極膜の薄膜化も伴うため、従来用いられてきた材料では、その高速化への対応も限界に到達しつつある。このため、近年、新たな材料とそれを応用した新たな素子構造及び製造方法が開発されている。

【0003】

例えば、ゲート電極の材料として一般に用いられている多結晶シリコンは、抵抗率が高いため、これに代えて、金属あるいは金属シリサイドが用いられている。しかし、これらの材料を、例えば相補型回路（以下、CMOS回路と称す。）によって構成された集積回路に適用した場合、NチャンネルMISFET及びPチャンネルMISFETのゲート電極が同じ材料になるため、ゲート電極の仕事関数は同じになる。このため、NチャンネルMISFET及びPチャンネルMISFETそれぞれのしきい値電圧を回路動作上の適正な値に制御することが困難になる。

【0004】

それを避けるため、例えば、ゲート電極膜としてTiNを用い、NチャンネルMISFETのゲート電極膜のTiNにイオン注入法で窒素イオンを打ち込みその組成比を変えることによって仕事関数を制御する方法が提案されている。この方法によって、NチャンネルMISFET及びPチャンネルMISFETのそれぞれのしきい値電圧を変化させ、それぞれのしきい値電圧を制御できる。（例えば、特許文献1参照。）

【0005】

しかし、上述の方法では、ゲート電極膜を形成した後の熱処理により、ゲート絶縁膜の耐圧の劣化及び界面準位の生成による駆動力低下等、半導体装置の製造方法として不安定な因子が存在していた。

【特許文献1】特開2001-20376号公報（第15ページ、第1図）

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は上記問題を解決するためになされたもので、MISFETにおけるゲート電極膜の仕事関数を制御し、適正なしきい値電圧を得ると共に、良好な素子特性が得られる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記の課題を解決するため、本発明の第1の態様は、半導体装置の製造方法として、半導体装置の製造方法として、半導体基体に素子分離領域を形成する工程と、前記素子分離領域に囲まれた素子領域にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に不純物添加金属シリサイド膜を形成する工程と、エネルギービームを前記不純物添加金属シリサイド膜に照射して前記不純物添加金属シリサイド膜を熱処理する工程と、前記不純物添加金属シリサイド膜をパターニングしてゲート電極膜を形成する工程と、少なくともパターニングされた前記ゲート電極膜をマスクに前記素子領域の一領域を挟むように導電型を与える不純物を導入し、ソース及びドレイン領域を形成する工程とを有することを特徴とする。

【0008】

また、本発明の第2の態様は、半導体基体に素子分離領域を形成する工程と、前記素子分離領域に囲まれた素子領域にダミーゲート絶縁膜を形成する工程と、前記ダミーゲート絶縁膜上にダミーゲート電極膜を形成する工程と、前記ダミーゲート電極膜をパターンニングしてダミーゲート電極を形成する工程と、前記ダミーゲート電極膜をマスクに前記素子領域の一領域を挟むように導電型を与える不純物を導入し、エクステンション領域を形成する工程と、前記ダミーゲート電極膜の側周壁領域に側壁絶縁膜を形成する工程と、前記側壁絶縁膜が形成された前記ダミーゲート電極膜をマスクに前記素子領域の一領域を挟むように導電型を与える不純物を導入し、ソース及びドレイン領域を形成する工程と、前記ダミーゲート電極膜及び前記ダミー絶縁膜を除去して空間部を形成する工程と、前記空間部の前記半導体基体上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、不純物添加金属シリサイド膜を形成する工程と、エネルギービームを前記不純物添加金属シリサイド膜に照射して前記不純物添加金属シリサイド膜を熱処理する工程とを有することを特徴とする。

【0009】

また、本発明の第3の態様は、半導体装置の製造方法として、半導体基体に素子分離領域を形成する工程と、前記素子分離領域に囲まれた素子領域の一部にP型ウェル領域を、他の一部の素子領域にN型ウェル領域を形成し、それぞれN型絶縁ゲート電界効果トランジスタ領域及びP型絶縁ゲート電界効果トランジスタ領域とする工程と、前記N型絶縁ゲート電界効果トランジスタ領域及びP型絶縁ゲート電界効果トランジスタ領域にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に金属シリサイド膜を形成する工程と、前記P型絶縁ゲート電界効果トランジスタ領域の前記金属シリサイド膜へ、シリコンにおけるP型不純物を導入する工程と、エネルギービームを不純物が導入された前記金属シリサイド膜に照射して前記金属シリサイド膜を熱処理する工程と、前記金属シリサイド膜をパターンニングしてゲート電極膜を形成する工程と、少なくともパターンニングされた前記ゲート電極膜をマスクに、前記素子領域の一領域を挟むようにP型絶縁ゲート電界効果トランジスタ領域へはP型を与える不純物を、N型絶縁ゲート電界効果トランジスタ領域へはN型を与える不純物をそれぞれ導入し、ソース及びドレイン領域を形成する工程とを有することを特徴とする。

【0010】

また、本発明の第4の態様は、半導体装置の製造方法として、半導体基体に素子分離領域を形成する工程と、前記素子分離領域に囲まれた素子領域の一部にP型ウェル領域を、他の一部の素子領域にN型ウェル領域を形成し、それぞれN型絶縁ゲート電界効果トランジスタ領域及びP型絶縁ゲート電界効果トランジスタ領域とする工程と、前記N型絶縁ゲート電界効果トランジスタ領域及びP型絶縁ゲート電界効果トランジスタ領域にダミーゲート絶縁膜を形成する工程と、前記ダミーゲート絶縁膜上にダミーゲート電極膜を形成する工程と、前記ダミーゲート電極膜をパターンニングしてダミーゲート電極を形成する工程と、前記ダミーゲート電極をマスクに前記素子領域の一領域を挟むようにP型絶縁ゲート電界効果トランジスタ領域へはP型を与える不純物を、N型絶縁ゲート電界効果トランジスタ領域へはN型を与える不純物をそれぞれ導入し、エクステンション領域を形成する工程と、前記ダミーゲート電極の側周壁領域に側壁絶縁膜を形成する工程と、前記側壁絶縁膜が形成された前記ダミーゲート電極をマスクに、前記素子領域の一領域を挟むようにP型絶縁ゲート電界効果トランジスタ領域へはP型を与える不純物を、N型絶縁ゲート電界効果トランジスタ領域へはN型を与える不純物をそれぞれ導入し、ソース及びドレイン領域を形成する工程と、前記ダミーゲート電極膜及び前記ダミー絶縁膜を除去して空間部を形成する工程と、前記空間部の前記半導体基体上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、金属シリサイド膜を形成する工程と、前記P型絶縁ゲート電界効果トランジスタ領域の前記金属シリサイド膜へ、シリコンにおけるP型不純物を導入する工程と、エネルギービームを不純物が導入された前記金属シリサイド膜に照射して前記金属シリサイド膜を熱処理する工程とを有することを特徴とする。

【発明の効果】**【0011】**

本発明によれば、不純物を添加した金属シリサイド膜に対し、エネルギービームを照射して金属シリサイド膜だけを短時間に熱処理することにより、金属シリサイド膜の仕事関数を変え、MISFETのしきい値電圧を所定の値に制御すると共に、良好な素子特性を得られる。

【発明を実施するための最良の形態】**【0012】**

以下、図面を参照して本発明の実施例を説明する。

【実施例1】**【0013】**

図1(a)乃至図5(m)は本発明による半導体装置の製造方法の第1の実施例を工程順に示す断面図である。この第1の実施例は、本発明をダマシーン型CMOS回路構造の絶縁ゲート型電界効果トランジスタに適用した例である。

【0014】

先ず、図1(a)乃至図1(c)を用いて、半導体基体に素子分離領域を形成する製造工程について説明する。

【0015】

図1(a)に示すように、半導体基体であるP型のシリコン基板10の表面領域に、第1の絶縁膜11及び第2の絶縁膜12を積層して形成する。第1の絶縁膜11として、例えばシリコン酸化膜、第2の絶縁膜12として、例えばシリコン窒化膜を用いる。続いて、リソグラフィ法及びエッチング法を用いて第2の絶縁膜12と第1の絶縁膜11を選択的にエッチングし、マスクパターンを形成する。

【0016】

次に、第2の絶縁膜12及び第1の絶縁膜11をマスクにドライエッチング法を用いて、シリコン基板10をエッチングし、浅いトレンチ溝を形成する。更に、図1(b)に示すように、CVD法を用い、第3の絶縁膜13として例えばシリコン酸化膜を形成する。第3の絶縁膜13は溝に埋め込まれ、かつ、シリコン基板10の上にも堆積する。

【0017】

次に、CMP法及びエッチング法を用い、シリコン基板10の表面を平坦にしながら、シリコン基板10に形成された第3の絶縁膜13及びマスクとして用いた第2の絶縁膜12と第1の絶縁膜11を除去する。図1(c)に示すように、第3の絶縁膜13が埋め込まれた浅いトレンチ溝の素子分離領域14が形成される。

【0018】

続いて、図1(c)に示すように、シリコン基板10の素子分離領域14によって選択的に分離された素子領域のうち、PチャネルMISFET形成領域にはN型不純物として燐をイオン注入法で導入し、N型ウェル領域15aを形成する。一方、NチャネルMISFET形成領域にはP型不純物としてボロンをイオン注入法で導入し、P型ウェル領域15bを形成する。この時のドーズ量はそれぞれ $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化させる。これによりCMOS回路構造におけるPチャネルMISFET及びNチャネルMISFETの領域が形成される。

【0019】

次に、図2(d)乃至図2(f)を用いて、ダミーゲート構造を形成する製造工程について説明する。

【0020】

先ず、シリコン基板10に10nm程度のシリコン酸化膜(図示せず)を形成する。次に、MISFETのしきい値電圧を制御するため、前述のシリコン酸化膜を介してシリコン基板10へイオン注入法で導電型不純物を導入する。即ち、N型ウェル領域15aにはN型不純物である砒素を、P型ウェル領域15bにはP型不純物であるボロンを選択的に

イオン注入法で導入する。この時のドーズ量はそれぞれ $1 \text{ E } 13 \text{ cm}^{-2}$ 乃至 $1 \text{ E } 14 \text{ cm}^{-2}$ 程度である。その後、例えば、 900°C 、10秒の急速加熱を施し、導入した不純物を活性化する。

【0021】

続いて、図2 (d) に示すように、シリコン基板10の表面を、酸素雰囲気中、例えば、 800 乃至 900°C 程度で熱酸化することにより、ダミーゲート絶縁膜16aとして膜厚8nm程度の熱酸化膜を形成する。更に、CVD法を用い、ダミーゲート電極膜17aとして多結晶シリコン膜を、例えば100nm程度成長する。

【0022】

次に、図2 (e) に示すように、リソグラフィ法、ドライエッチング法を用い、ダミーゲート電極膜17a及びダミーゲート絶縁膜16aを選択的にエッチングして、ダミーゲート構造22が形成される。更に、ダミーゲート電極膜17aをマスクとしてイオン注入法によりエクステンション領域19a、19bを形成する。即ち、N型ウェル領域15aにはP型不純物であるボロンを、P型ウェル領域15bにはN型不純物である砒素を、選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1 \text{ E } 13 \text{ cm}^{-2}$ ~ $1 \text{ E } 15 \text{ cm}^{-2}$ 程度である。その後、例えば、 900°C 、10秒の急速加熱を施し、導入した不純物を活性化する。なお、ダミーゲート電極膜17aをエッチングした後、エクステンション領域19a、19bを形成し、その後ダミーゲート絶縁膜16aをエッチングしても良い。

【0023】

次に、図2 (f) に示すように、CVD法によってライナー絶縁膜23としてシリコン窒化膜を20乃至40nm、シリコン基板10の全面に形成する。更に、例えば、シリコン酸化膜を形成する。ドライエッチング法を用い、シリコン基板10及びダミーゲート構造22の表面領域上のシリコン酸化膜だけを除去し、シリコン酸化膜をダミーゲート構造22の周側面に側壁絶縁膜20として選択的に残存させる。

【0024】

続いて、ダミーゲート構造22及びその周囲の側壁絶縁膜20をマスクとしてイオン注入法によりソース及びドレイン領域21a、21bを形成する。即ち、N型ウェル領域15aにはP型不純物であるボロンを、P型ウェル領域15bにはN型不純物である砒素を、選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1 \text{ E } 15 \text{ cm}^{-2}$ 乃至 $1 \text{ E } 16 \text{ cm}^{-2}$ 程度である。その後、例えば、 900°C 、10秒の急速加熱を施し、導入した不純物を活性化する。

【0025】

次に、シリコン酸化膜をCVD法でシリコン基板10全面に堆積する。その後、ダミーゲート電極膜17a及び側壁絶縁膜20の上面が露出するまでCMP法、エッチング法により前述のシリコン酸化膜を除去する。図3 (g) に示すように、表面を平坦化して層間絶縁膜24を選択的に残存させる。

【0026】

更に、図3 (h) に示すように、例えば、フッ素などのハロゲン原子のラジカルを用いたエッチング法により、多結晶シリコン膜からなるダミー電極膜17aをシリコン酸化膜からなる層間絶縁膜24及び側壁絶縁膜20に対して選択的に除去する。更に、例えば、希フッ酸により、ダミーゲート絶縁膜16aを除去することにより、後で述べるゲート絶縁膜及びゲート電極が埋め込まれる空間領域22aを形成する。

【0027】

次に、図3 (i) に示すように、ゲート絶縁膜16bとしてシリコン酸化膜を熱酸化法により空間領域22aのシリコン基板10に形成する。続いて、CVD法若しくはスパッタ法を用い、ゲート電極膜17bとして金属シリサイド膜、例えば WSi_2 膜を100nm程度形成する。ゲート電極膜17bは空間領域22aに埋め込まれると共に、シリコン基板10の表面領域へも堆積する。

【0028】

更に、ゲート電極膜 17b の仕事関数を制御するため、P チャネル MISFET 及び N チャネル MISFET のそれぞれのゲート電極膜 17b に不純物を導入する。ゲート電極膜 17b が不純物添加金属シリサイド膜である。

【0029】

図 4 (j) に示すように、リソグラフィ法を用い、P 型ウェル領域 15b が形成された N チャネル MISFET 領域におけるゲート電極膜 17b を選択的に第 1 のレジスト膜 18a で覆う。次に、N 型ウェル領域 15a が形成された P チャネル MISFET 領域におけるゲート電極膜 17b に P 型不純物であるボロンを $1 \times 10^{15} \text{ cm}^{-2}$ 乃至 $1 \times 10^{16} \text{ cm}^{-2}$ 程度、選択的にイオン注入法を用いて導入する。続いて、第 1 のレジスト膜 18a を剥離する。

【0030】

更に、図 4 (k) に示すように、リソグラフィ法を用い、N 型ウェル領域 15a が形成された P チャネル MISFET 領域におけるゲート電極膜 17b を選択的に第 2 のレジスト膜 18b で覆う。次に、P 型ウェル領域 15b が形成された N チャネル MISFET 領域におけるゲート電極膜 17b に N 型不純物である燐を $1 \times 10^{15} \text{ cm}^{-2}$ 乃至 $1 \times 10^{16} \text{ cm}^{-2}$ 程度、選択的にイオン注入法を用いて導入する。続いて、第 2 のレジスト膜 18b を剥離する。

【0031】

次に、図 5 (l) に示すように、フラッシュランプアニール法を用い、導入されたシリコンにおける P 型不純物であるボロン及び N 型不純物である燐を拡散する。例えば、シリコン基板 10 を 550°C に加熱し、可視光領域の波長を主としてインコヒーレント光を 10 乃至 100 ミリ秒程度照射する。フラッシュランプを用いることにより、ゲート電極膜 17b である WSi_2 膜だけが効率良く、高温に加熱される。

【0032】

更に、ドライエッチング法或いは CMP 法を用いて表面を平坦化する。図 5 (m) に示すように、埋め込まれたゲート電極膜 17b 及びゲート絶縁膜 16b を有するダマシーンゲート構造 22b が形成される。

【0033】

その後、図示しないシリコン酸化膜からなる層間絶縁膜を、プラズマ CVD 法を用い、シリコン基板 10 の全面に堆積した後、熱処理、CMP 法等により表面の平坦化を行う。この層間絶縁膜にコンタクト孔を開口し、N チャネル MISFET のゲート電極、ソース及びドレイン領域、P チャネル MISFET のゲート電極、ソース及びドレイン領域に Al、Cu 等の金属配線を形成する。

【0034】

さらに、必要に応じて層間絶縁膜の堆積と、金属配線の形成を繰り返して多層配線構造を形成したうえで、シリコン基板 10 の全面を表面保護膜で覆い、パッド部を開口して本発明による半導体装置の製造方法における第 1 の実施例を完成させる。

【0035】

本実施例によれば、フラッシュランプを用いた短時間熱処理により、ゲート電極膜に導入された不純物を拡散させる。このため、ゲート絶縁膜の耐圧等の素子特性が良好な MISFET が得られる。

【0036】

また、本実施例によれば、MISFET のゲート電極として用いられる金属シリサイド膜の仕事関数を変えることにより、MISFET のしきい値電圧を容易に制御できる。

【0037】

例えば、本実施例のゲート電極膜として用いた WSi_2 は、不純物を導入しない場合、仕事関数が 4.3 eV 乃至 4.6 eV 程度である。燐を不純物として導入することによって、N チャネル MISFET の仕事関数を 0.15 eV 乃至 0.2 eV 程度下げられる。一方、ボロンを不純物として導入することによって、P チャネル MISFET の仕事関数を 0.15 eV 乃至 0.2 eV 程度上げられる。この方法を P チャネル MISFET のゲ

ート電極及びNチャネルMISFETのゲート電極に適用することにより、CMOS回路として高性能の特性が得られる。

【0038】

更に、ゲート電極膜の仕事関数は不純物導入量によって制御できる。例えば、NチャネルMISFETについては不純物を導入せず、PチャネルMISFETについてだけ所望の不純物量を導入し、仕事関数を制御しても良い。

【0039】

また、ダマシーンゲート構造を用いることにより、その後の熱処理が比較的低温で行われ、ゲート絶縁膜も信頼性の高いものが得られる。従って、ゲート絶縁膜としてハフニウム酸化膜等の金属酸化膜を用いても良い。

【実施例2】

【0040】

図6(a)乃至図9(j)は本発明による半導体装置の製造方法の第2の実施例を工程順に示す断面図である。この第2の実施例は、本発明をダマシーン型CMOS回路構造の絶縁ゲート型電界効果トランジスタに適用した例である。

【0041】

先ず、図6(a)乃至図6(c)を用いて、半導体基体に素子分離領域を形成する製造工程について説明する。

【0042】

図6(a)に示すように、半導体基体であるP型のシリコン基板10の表面領域に、第1の絶縁膜11及び第2の絶縁膜12を積層して形成する。第1の絶縁膜11として、例えばシリコン酸化膜、第2の絶縁膜12として、例えばシリコン窒化膜を用いる。続いて、リソグラフィ法及びエッチング法を用いて第2の絶縁膜12と第1の絶縁膜11を選択的にエッチングし、マスクパターンを形成する。

【0043】

次に、第2の絶縁膜12及び第1の絶縁膜11をマスクにドライエッチング法を用いて、シリコン基板10をエッチングし、浅いトレンチ溝を形成する。更に、図6(b)に示すように、CVD法を用い、第3の絶縁膜13として例えばシリコン酸化膜を形成する。第3の絶縁膜13は溝に埋め込まれ、かつ、シリコン基板10の上にも堆積する。

【0044】

次に、CMP法及びエッチング法を用い、シリコン基板10の表面を平坦にしながら、シリコン基板10に形成された第3の絶縁膜13及びマスクとして用いた第2の絶縁膜12と第1の絶縁膜11を除去する。図6(c)に示すように、第3の絶縁膜13が埋め込まれた浅いトレンチ溝の素子分離領域14が形成される。

【0045】

続いて、図6(c)に示すように、シリコン基板10の素子分離領域14によって選択的に分離された素子領域のうち、PチャネルMISFET形成領域にはN型不純物として燐をイオン注入法で導入し、N型ウェル領域15aを形成する。一方、NチャネルMISFET形成領域にはP型不純物としてボロンをイオン注入法で導入し、P型ウェル領域15bを形成する。この時のドーズ量はそれぞれ $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化させる。これによりCMOS回路構造におけるPチャネルMISFET及びNチャネルMISFETの領域が形成される。

【0046】

次に、図7(d)乃至図7(f)を用いて、ダミーゲート構造を形成する製造工程について説明する。

【0047】

先ず、シリコン基板10に10nm程度のシリコン酸化膜(図示せず)を形成する。次に、MISFETのしきい値電圧を制御するため、前述のシリコン酸化膜を介してシリコン基板10へイオン注入法で導電型不純物を導入する。即ち、N型ウェル領域15aには

N型不純物である砒素を、P型ウェル領域15bにはP型不純物であるボロンを選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1\text{E}13\text{cm}^{-2}$ 乃至 $1\text{E}14\text{cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。

【0048】

続いて、図7(d)に示すように、シリコン基板10の表面を、酸素雰囲気中、800乃至900℃程度で熱酸化することにより、ダミーゲート絶縁膜16aとして膜厚6nm程度の熱酸化膜を形成する。続いて、CVD法を用い、ダミーゲート電極膜17aとして多結晶シリコン膜を例えば100nm程度成長する。更に、キャップ膜18として、例えばシリコン窒化膜を30nm成長する。

【0049】

続いて、図7(e)に示すように、リソグラフィ法、ドライエッチング法を用い、キャップ膜18、ダミーゲート電極膜17aを選択的にエッチングし、ダミーゲート構造22を形成する。更に、キャップ膜18及びダミーゲート電極膜17aをマスクとしてイオン注入法によりエクステンション領域19a、19bを形成する。即ち、N型ウェル領域15aにはP型不純物であるボロンを、P型ウェル領域15bにはN型不純物である砒素を、選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1\text{E}13\text{cm}^{-2}$ ～ $1\text{E}15\text{cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。なお、キャップ膜18及びダミーゲート電極膜17aをマスクにしてダミーゲート絶縁膜16aをエッチングし、その後、イオン注入法によりエクステンション領域24a、24bを形成しても良い。

【0050】

次に、図7(f)に示すように、CVD法によってシリコン窒化膜を20乃至40nm、シリコン基板10の全面に形成する。ドライエッチング法を用い、シリコン基板10及びキャップ膜18の表面領域上のシリコン窒化膜だけを除去し、シリコン窒化膜をダミーゲート構造22の周側面に側壁絶縁膜20として選択的に残存させる。

【0051】

続いて、ダミーゲート構造22及びその周囲の側壁絶縁膜20をマスクとしてイオン注入法によりソース及びドレイン領域21a、21bを形成する。即ち、N型ウェル領域15aにはP型不純物であるボロンを、P型ウェル領域15bにはN型不純物である砒素を、選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1\text{E}15\text{cm}^{-2}$ 乃至 $1\text{E}16\text{cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。更に、ダミーゲート構造22及びその周囲の側壁絶縁膜20をマスクとしてダミーゲート絶縁膜16aをエッチングする。

【0052】

次に、図示しないコバルト膜をスパッタ法でシリコン基板10全面に形成する。その後の熱処理により、ソース及びドレイン領域21a、21bのシリコン層とだけコバルト膜を反応させ、コバルトシリサイド層に変換する。図7(f)に示すように、ソース及びドレイン領域21a、21bの上にコバルトシリサイド層25a、25bが選択的に形成される。続いて、残存するコバルト膜を選択的に除去する。

【0053】

次に、シリコン酸化膜をCVD法でシリコン基板10全面に堆積する。その後、キャップ膜18、側壁絶縁膜20の上面が露出するまでCMP法、エッチング法により上記絶縁膜を除去する。図8(g)に示すように、表面を平坦化して層間絶縁膜24を選択的に残存させる。

【0054】

更に、図8(h)に示すように、例えば燐酸を用いて、シリコン窒化膜からなるキャップ膜18をシリコン酸化膜からなる層間絶縁膜24に対して選択的に除去する。更に、例えば、フッ素などのハロゲン原子のラジカルを用いたエッチング法により、多結晶シリコン膜からなるダミー電極膜17aをシリコン酸化膜からなる層間絶縁膜24及びシリコン

窒化膜からなる側壁絶縁膜 20 に対して選択的に除去する。更に、例えば、希フッ酸により、ダミーゲート絶縁膜 16a を除去することにより、後で述べるゲート絶縁膜及びゲート電極が埋め込まれる空間領域 22a を形成する。

【0055】

次に、図 9 (i) に示すように、高誘電体ゲート絶縁膜 16c としてハフニウム酸化膜を CVD 法若しくはスパッタ法によりシリコン基板 10 の全面に形成する。続いて、CVD 法若しくはスパッタ法を用い、ゲート電極膜 17c として金属シリサイド膜である、例えば NiSi_2 膜を 100nm 程度形成する。ゲート電極膜 17c は空間領域 22a に埋め込まれると共に、シリコン基板 10 の表面領域へも堆積する。

【0056】

更に、ゲート電極膜 17c の仕事関数を制御するため、P チャネル MISFET 及び N チャネル MISFET のそれぞれのゲート電極膜 17c に不純物を導入する。不純物導入のプロセスは第 1 の実施例において示したプロセスと同様であるため、詳しい説明は省略する。ゲート電極膜 17c が不純物添加金属シリサイド膜である。

【0057】

N 型ウェル領域 15a が形成された P チャネル MISFET 領域におけるゲート電極膜 17c に P 型不純物であるボロンを $1 \times 10^{15} \text{ cm}^{-2}$ 乃至 $1 \times 10^{16} \text{ cm}^{-2}$ 程度、選択的にイオン注入法を用いて導入する。また、P 型ウェル領域 15b が形成された N チャネル MISFET 領域におけるゲート電極膜 17c に N 型不純物である燐を $1 \times 10^{15} \text{ cm}^{-2}$ 乃至 $1 \times 10^{16} \text{ cm}^{-2}$ 程度、選択的にイオン注入法を用いて導入する。

【0058】

次に、フラッシュランプアニール法を用い、導入されたシリコンにおける P 型不純物であるボロン及び N 型不純物である燐を拡散する。例えば、シリコン基板 10 を 550°C に加熱し、可視光領域の波長を主としてインコヒーレント光を 10 乃至 100 ミリ秒程度照射する。フラッシュランプを用いることにより、ゲート電極膜 17c である NiSi_2 膜だけが効率良く、短時間だけ高温に加熱される。

【0059】

更に、ドライエッチング法或いは CMP 法を用いて表面を平坦化する。図 9 (j) に示すように、埋め込まれたゲート電極膜 17c 及び高誘電体ゲート絶縁膜 16c を有するダマシーンゲート構造 22b が形成される。

【0060】

その後、図示しないシリコン酸化膜からなる層間絶縁膜を、プラズマ CVD 法を用い、シリコン基板 10 の全面に堆積した後、熱処理、CMP 法等により表面の平坦化を行う。この層間絶縁膜にコンタクト孔を開口し、N チャネル MISFET のゲート電極、ソース及びドレイン領域、P チャネル MISFET のゲート電極、ソース及びドレイン領域に Al、Cu 等の金属配線を形成する。

【0061】

さらに、必要に応じて層間絶縁膜の堆積と、金属配線の形成を繰り返して多層配線構造を形成したうえで、シリコン基板 10 の全面を表面保護膜で覆い、パッド部を開口して本発明による半導体装置の製造方法における第 2 の実施例を完成させる。

【0062】

本実施例によれば、フラッシュランプを用いた短時間熱処理により、ゲート電極膜に導入された不純物を拡散させる。このため、ゲート絶縁膜の耐圧等の素子特性が良好な MISFET が得られる。

【0063】

また、本実施例によれば、MISFET のゲート電極として用いられるシリサイド膜の仕事関数を変えることにより、MISFET のしきい値電圧を容易に制御できる。

【0064】

更に、ゲート電極膜の仕事関数は不純物導入量によって制御ができる。例えば、N チャネル MISFET については不純物を導入せず、P チャネル MISFET についてだけ所望

の不純物量を導入し、仕事関数を制御しても良い。

【0065】

また、ダマシーングート構造を用いることにより、その後の熱処理が比較的低温で行われ、高誘電体膜で形成されたゲート絶縁膜も信頼性の高いものが得られる。

【0066】

ソース及びドレイン領域に金属シリサイド層を形成することにより、より高速のMISFETの動作が得られる。

【実施例3】

【0067】

図10(a)乃至図12(i)は本発明による半導体装置の製造方法の第3の実施例を工程順に示す断面図である。この第3の実施例は、本発明を通常のCMOS回路構造の絶縁ゲート型電界効果トランジスタに適用した例である。

【0068】

先ず、図10(a)乃至図10(c)を用いて、半導体基体に素子分離領域を形成する製造工程について説明する。

【0069】

図10(a)に示すように、半導体基体であるP型のシリコン基板10の表面領域に、第1の絶縁膜11及び第2の絶縁膜12を積層して形成する。第1の絶縁膜11として、例えばシリコン酸化膜、第2の絶縁膜12として、例えばシリコン窒化膜を用いる。続いて、リソグラフィ法及びエッチング法を用いて第2の絶縁膜12と第1の絶縁膜11を選択的にエッチングし、マスクパターンを形成する。

【0070】

次に、第2の絶縁膜12及び第1の絶縁膜11をマスクにドライエッチング法を用いて、シリコン基板10をエッチングし、浅いトレンチ溝を形成する。更に、図10(b)に示すように、CVD法を用い、第3の絶縁膜13として例えばシリコン酸化膜を形成する。第3の絶縁膜13は溝に埋め込まれ、かつ、シリコン基板10の上にも堆積する。

【0071】

次に、CMP法及びエッチング法を用い、シリコン基板10の表面を平坦にしながら、シリコン基板10に形成された第3の絶縁膜13及びマスクとして用いた第2の絶縁膜12及第1の絶縁膜11を除去する。図10(c)に示すように、第3の絶縁膜13が埋め込まれた浅いトレンチ溝の素子分離領域14が形成される。

【0072】

続いて、図10(c)に示すように、シリコン基板10の素子分離領域14によって選択的に分離された素子領域のうち、PチャネルMISFET形成領域にはN型不純物として磷をイオン注入法で導入し、N型ウェル領域15aを形成する。一方、NチャネルMISFET形成領域にはP型不純物としてボロンをイオン注入法で導入し、P型ウェル領域15bを形成する。この時のドーズ量はそれぞれ $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。これによりCMOS回路構造におけるPチャネルMISFET及びNチャネルMISFETの領域が形成される。

【0073】

次に、図11(d)乃至図12(i)を用いて、ゲート構造を形成する製造工程について説明する。

【0074】

先ず、シリコン基板10に10nm程度のシリコン酸化膜(図示せず)を形成する。その後、MISFETのしきい値電圧制御のため、前述のシリコン酸化膜を介してN型ウェル領域15aにはN型不純物である砒素を、P型ウェル領域15bにはP型不純物であるボロンを選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。

【0075】

続いて、図11(d)に示すように、シリコン基板10の表面を、酸素雰囲気中、900℃で熱酸化することにより、ゲート絶縁膜16として膜厚6nm程度の熱酸化膜を形成する。次に、CVD法を用い、ゲート電極膜17として金属シリサイド膜である、例えば WSi_2 膜を100nm程度形成する。更に、ゲート電極膜17の仕事関数を制御するため、PチャネルMISFET及びNチャネルMISFETのそれぞれのゲート電極膜17に不純物を導入する。

【0076】

図11(e)に示すように、リソグラフィ法を用い、P型ウェル領域15bが形成されたNチャネルMISFET領域におけるゲート電極膜17を選択的に第1のレジスト膜18aで覆う。次に、N型ウェル領域15aが形成されたPチャネルMISFET領域におけるゲート電極膜17にP型不純物であるボロンを $1E15cm^{-2}$ 乃至 $1E16cm^{-2}$ 程度、選択的にイオン注入法を用いて導入する。続いて、第1のレジスト膜18aを剥離する。

【0077】

更に、図11(f)に示すように、リソグラフィ法を用い、N型ウェル領域15aが形成されたPチャネルMISFET領域におけるゲート電極膜17を選択的に第2のレジスト膜18bで覆う。次に、P型ウェル領域15bが形成されたNチャネルMISFET領域におけるゲート電極膜17にN型不純物である磷を $1E15cm^{-2}$ 乃至 $1E16cm^{-2}$ 程度、選択的にイオン注入法を用いて導入する。続いて、第2のレジスト膜18bを剥離する。ゲート電極膜17が不純物添加金属シリサイド膜である。

【0078】

次に、図12(g)に示すように、フラッシュランプアニール法を用い、導入されたP型不純物であるボロン及びN型不純物である磷を拡散する。例えば、シリコン基板10を550℃に加熱し、可視光領域の波長を主としてインコヒーレント光を10乃至100ミリ秒程度照射する。フラッシュランプを用いることにより、ゲート電極膜17である WSi_2 膜だけが効率良く、高温に加熱される。

【0079】

続いて、リソグラフィ法及びドライエッチング法を用い、ゲート電極膜17及びゲート絶縁膜16を選択的にエッチングし、図12(h)に示すようにゲート絶縁膜16及びゲート電極膜17からなる積層構造を形成する。更にゲート電極膜17をマスクとしてイオン注入法によりエクステンション領域19a、19bを形成する。即ち、N型ウェル領域15aにはP型不純物であるボロンを、P型ウェル領域15bにはN型不純物である砒素を、選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1E13cm^{-2}$ ～ $1E15cm^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。なお、熱酸化膜をパターニングせずに、イオン注入法によりエクステンション領域19a、19bを形成し、その後、熱酸化膜をパターニングしてゲート絶縁膜領域を形成する方法を用いても良い。

【0080】

次に、CVD法によってシリコン窒化膜を20乃至40nm、シリコン基板10の全面に形成する。ドライエッチング法を用い、シリコン基板10及びゲート電極膜17の表面領域だけを除去し、図12(i)に示すように、シリコン窒化膜をゲート電極膜17の周側面に側壁絶縁膜20として選択的に残存させる。続いて、ゲート及び側壁絶縁膜20をマスクとしてイオン注入法によりソース及びドレイン領域21a、21bを形成する。即ち、N型ウェル領域15aにはP型不純物であるボロンを、P型ウェル領域15bにはN型不純物である砒素を、選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1E15cm^{-2}$ ～ $1E16cm^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。

【0081】

その後、図示しないシリコン酸化膜からなる層間絶縁膜を、CVD法を用い、シリコン

基板10の全面に堆積した後、熱処理、CMP法等により表面の平坦化を行う。この層間絶縁膜にコンタクト孔を開口し、NチャネルMISFETのゲート電極、ソース及びドレイン領域、PチャネルMISFETのゲート電極、ソース及びドレイン領域にAl、Cu等の金属配線を形成する。

【0082】

さらに、必要に応じて層間絶縁膜の堆積と、金属配線の形成を繰り返して多層配線構造を形成する。更に、シリコン基板10の全面を表面保護膜で覆い、パッド部を開口して本発明による半導体装置の製造方法における第3の実施例を完成させる。

【0083】

本実施例によれば、フラッシュランプを用いた短時間熱処理により、ゲート電極膜に導入された不純物を拡散させる。このため、ゲート絶縁膜の耐圧等の素子特性が良好なMISFETが得られる。

【0084】

また、本実施例によれば、MISFETのゲート電極として用いられるシリサイド膜の仕事関数を変えることにより、MISFETのしきい値電圧を容易に制御できる。

【0085】

例えば、本実施例のゲート電極膜として用いた WSi_2 は、不純物を導入しない場合、仕事関数が4.3 eV乃至4.6 eV程度である。燐を不純物として導入することによって、NチャネルMISFETの仕事関数を0.15 eV乃至0.2 eV程度下げられる。一方、ボロンを不純物として導入することによって、PチャネルMISFETの仕事関数を0.15 eV乃至0.2 eV程度上げられる。この方法をPチャネルMISFETのゲート電極及びNチャネルMISFETのゲート電極に適用することにより、CMOS回路として高性能の特性が得られる。

【0086】

更に、ゲート電極膜の仕事関数は不純物量によって制御できる。例えば、NチャネルMISFETについては不純物を導入せず、PチャネルMISFETについてだけ所望の不純物量を導入し、仕事関数を制御しても良い。

【実施例4】

【0087】

図13(a)乃至図14(f)は本発明による半導体装置の製造方法の第4の実施例を工程順に示す断面図である。この第4の実施例は、本発明を通常のCMOS回路構造の絶縁ゲート型電界効果トランジスタに適用した例である。

【0088】

また、本実施例における製造工程では、不純物添加金属シリサイド膜における不純物は金属シリサイド膜形成時に添加する。それ以外の製造工程は、実施例3に示した製造工程と基本的に同じである。

【0089】

先ず、図13(a)乃至図13(c)を用いて、半導体基体に素子分離領域を形成する製造工程について説明する。

【0090】

図13(a)に示すように、半導体基体であるP型のシリコン基板10の表面領域に、第1の絶縁膜11及び第2の絶縁膜12を積層して形成する。第1の絶縁膜11として、例えばシリコン酸化膜、第2の絶縁膜12として、例えばシリコン窒化膜を用いる。続いて、リソグラフィ法及びエッチング法を用いて第2の絶縁膜12と第1の絶縁膜11を選択的にエッチングし、マスクパターンを形成する。

【0091】

次に、第2の絶縁膜12及び第1の絶縁膜11をマスクにドライエッチング法を用いて、シリコン基板10をエッチングし、浅いトレンチ溝を形成する。更に、図13(b)に示すように、CVD法を用い、第3の絶縁膜13として例えばシリコン酸化膜を形成する。第3の絶縁膜13は溝に埋め込まれ、かつ、シリコン基板10の上にも堆積する。

【0092】

次に、CMP法及びエッチング法を用い、シリコン基板10の表面を平坦にしながら、シリコン基板10に形成された第3の絶縁膜13及びマスクとして用いた第2の絶縁膜12と第1の絶縁膜11を除去する。図13(c)に示すように、第3の絶縁膜13が埋め込まれた浅いトレンチ溝の素子分離領域14が形成される。

【0093】

続いて、図13(c)に示すように、シリコン基板10の素子分離領域14によって選択的に分離された素子領域のうち、PチャネルMISFET形成領域にはN型不純物として燐をイオン注入法で導入し、N型ウェル領域15aを形成する。一方、NチャネルMISFET形成領域にはP型不純物としてボロンをイオン注入法で導入し、P型ウェル領域15bを形成する。この時のドーズ量はそれぞれ $1\text{E}12\text{cm}^{-2} \sim 1\text{E}13\text{cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。これによりCMOS回路構造におけるPチャネルMISFET及びNチャネルMISFETの領域が形成される。

【0094】

次に、図14(d)乃至図14(f)を用いて、ゲート構造を形成する製造工程について説明する。

【0095】

先ず、シリコン基板10に10nm程度のシリコン酸化膜(図示せず)を形成する。その後、MISFETのしきい値電圧制御のため、前述のシリコン酸化膜を介してN型ウェル領域15aにはN型不純物である砒素を、P型ウェル領域15bにはP型不純物であるボロンを選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1\text{E}13\text{cm}^{-2} \sim 1\text{E}14\text{cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。

【0096】

続いて、図14(d)に示すように、シリコン基板10の表面を、酸素雰囲気中、900℃で熱酸化することにより、ゲート絶縁膜16として膜厚6nm程度の熱酸化膜を形成する。次に、CVD法を用い、ゲート電極膜17dとして金属シリサイド膜である、例えば WSi_2 膜を100nm程度形成する。また、形成時に PH_3 ガスを装置内に導入し、分解した燐を金属シリサイド膜に添加する。ゲート電極膜17dが不純物添加金属シリサイド膜である。

【0097】

次に、フラッシュランプアニール法を用い、導入されたN型不純物である燐を拡散する。例えば、シリコン基板10を550℃に加熱し、可視光領域の波長を主としてインコヒーレント光を10乃至100ミリ秒程度照射する。フラッシュランプを用いることにより、ゲート電極膜17dである WSi_2 膜だけが効率良く、高温に加熱される。

【0098】

続いて、リソグラフィ法及びドライエッチング法を用い、ゲート電極膜17d及びゲート絶縁膜16を選択的にエッチングしゲート絶縁膜16及びゲート電極膜17dからなる積層構造を形成する。

【0099】

更にゲート電極膜17dをマスクとしてイオン注入法によりエクステンション領域19a、19bを形成する。即ち、N型ウェル領域15aにはP型不純物であるボロンを、P型ウェル領域15bにはN型不純物である砒素を、選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1\text{E}13\text{cm}^{-2} \sim 1\text{E}15\text{cm}^{-2}$ 程度である。その後、例えば、900℃、10秒の急速加熱を施し、導入した不純物を活性化する。

【0100】

次に、CVD法によってシリコン窒化膜を20乃至40nm、シリコン基板10の全面に形成する。ドライエッチング法を用い、シリコン基板10及びゲート電極膜17の表面領域だけを除去し、図14(f)に示すように、シリコン窒化膜をゲート電極膜17の周

側面に側壁絶縁膜 20 として選択的に残存させる。続いて、ゲート及び側壁絶縁膜 20 をマスクとしてイオン注入法によりソース及びドレイン領域 21a、21b を形成する。即ち、N 型ウェル領域 15a には P 型不純物であるボロンを、P 型ウェル領域 15b には N 型不純物である砒素を、選択的にイオン注入法で導入する。この時のドーズ量はそれぞれ $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度である。その後、例えば、900℃、10 秒の急速加熱を施し、導入した不純物を活性化する。

【0101】

その後、図示しないシリコン酸化膜からなる層間絶縁膜を、CVD 法を用い、シリコン基板 10 の全面に堆積した後、熱処理、CMP 法等により表面の平坦化を行う。この層間絶縁膜にコンタクト孔を開口し、N チャネル MISFET のゲート電極、ソース及びドレイン領域、P チャネル MISFET のゲート電極、ソース及びドレイン領域に Al、Cu 等の金属配線を形成する。

【0102】

さらに、必要に応じて層間絶縁膜の堆積と、金属配線の形成を繰り返して多層配線構造を形成する。更に、シリコン基板 10 の全面を表面保護膜で覆い、パッド部を開口して本発明による半導体装置の製造方法における第 4 の実施例を完成させる。

【0103】

本実施例によれば、フラッシュランプを用いた短時間熱処理により、ゲート電極膜に導入された不純物を拡散させる。このため、ゲート絶縁膜の耐圧等の素子特性が良好な MISFET が得られる。

【0104】

更に、本実施例によれば、ゲート電極膜を形成する時に、不純物を添加するため、工程が簡略化される。また、MISFET のゲート電極として用いられるシリサイド膜の仕事関数を不純物添加する際の添加量を制御することにより変えることができる。従って、MISFET のしきい値電圧を容易に制御できる。

【0105】

なお、本発明は上述した実施形態に何ら限定されるものではなく、本発明の主旨を逸脱しない範囲内で種々変更して実施することができる。

【0106】

不純物添加金属シリサイド電極膜はタングステンシリサイド、ニッケルシリサイド以外にもコバルト、チタン、モリブデン、タンタル、パラジウム、白金、ニオブ等のシリサイドでも良い。

【0107】

また、不純物添加金属シリサイド電極膜における金属とシリコンとの組成比も、例えば、タングステンシリサイド膜の場合、 WSi_2 とは限らない。他の金属シリサイド電極膜及び不純物添加金属シリサイド電極膜においても同様である。

【0108】

金属シリサイド電極膜に導入される不純物及び不純物添加金属シリサイド電極膜に添加される不純物は磷及びボロン以外に、シリコンに N 型導電性を与える不純物として砒素、アンチモン、シリコンに P 型導電性を与える不純物としてガリウム、インジウムも同様の効果が得られる。

【0109】

金属シリサイド電極膜への不純物の導入は、イオン注入法に限らず、不純物添加シリコン酸化膜を金属シリサイド電極膜上へ形成した後、熱処理を行う方法を用いても良いことは勿論である。

【0110】

不純物添加金属シリサイド電極膜に照射されるエネルギービームはインコヒーレント光だけでなく、エキシマレーザ、アルゴンレーザ等のレーザ光、或いは電子ビームであっても良い。

【0111】

また、ゲート絶縁膜はシリコン酸化膜以外に、シリコン窒化膜、或いはシリコン酸化とシリコン窒化膜との積層膜でも良い。また、チタン酸化膜、ハフニウム酸化膜等の金属系の酸化膜を単独で、或いは積層構造にして組合せて使用できることは勿論である。

【0112】

ソース及びドレイン領域に形成する金属或いは金属シリサイド層はコバルトシリサイドだけでなく、タングステン、ニッケル、チタン、モリブデン、タンタル、パラジウム、白金、ニオブ等の金属或いは金属シリサイドでも良い。

【0113】

金属シリサイド電極膜或いは不純物添加金属シリサイド電極膜を有する素子としては、CMOS回路を構成するMISFETだけでなく、P型MISFET或いはN型MISFETがそれぞれ単独で構成されている素子、又は、メモリセルトランジスタ素子であっても良い。

【0114】

半導体基体としてはシリコン基板に限らず、GaAs基板等のIII-V族半導体基板、SOI基板等の絶縁性を有する基板でも同様な効果が得られる。

【図面の簡単な説明】

【0115】

【図1】本発明による半導体装置の製造方法における第1の実施例を工程順に示す断面の模式図。

【図2】本発明による半導体装置の製造方法における第1の実施例を工程順に示す断面の模式図。

【図3】本発明による半導体装置の製造方法における第1の実施例を工程順に示す断面の模式図。

【図4】本発明による半導体装置の製造方法における第1の実施例を工程順に示す断面の模式図。

【図5】本発明による半導体装置の製造方法における第1の実施例を工程順に示す断面の模式図。

【図6】本発明による半導体装置の製造方法における第2の実施例を工程順に示す断面の模式図。

【図7】本発明による半導体装置の製造方法における第2の実施例を工程順に示す断面の模式図。

【図8】本発明による半導体装置の製造方法における第2の実施例を工程順に示す断面の模式図。

【図9】本発明による半導体装置の製造方法における第2の実施例を工程順に示す断面の模式図。

【図10】本発明による半導体装置の製造方法における第3の実施例を工程順に示す断面の模式図。

【図11】本発明による半導体装置の製造方法における第3の実施例を工程順に示す断面の模式図。

【図12】本発明による半導体装置の製造方法における第3の実施例を工程順に示す断面の模式図。

【図13】本発明による半導体装置の製造方法における第4の実施例を工程順に示す断面の模式図。

【図14】本発明による半導体装置の製造方法における第4の実施例を工程順に示す断面の模式図。

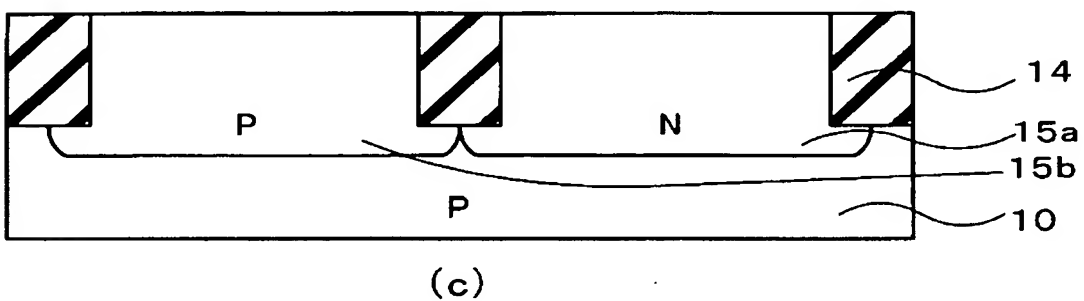
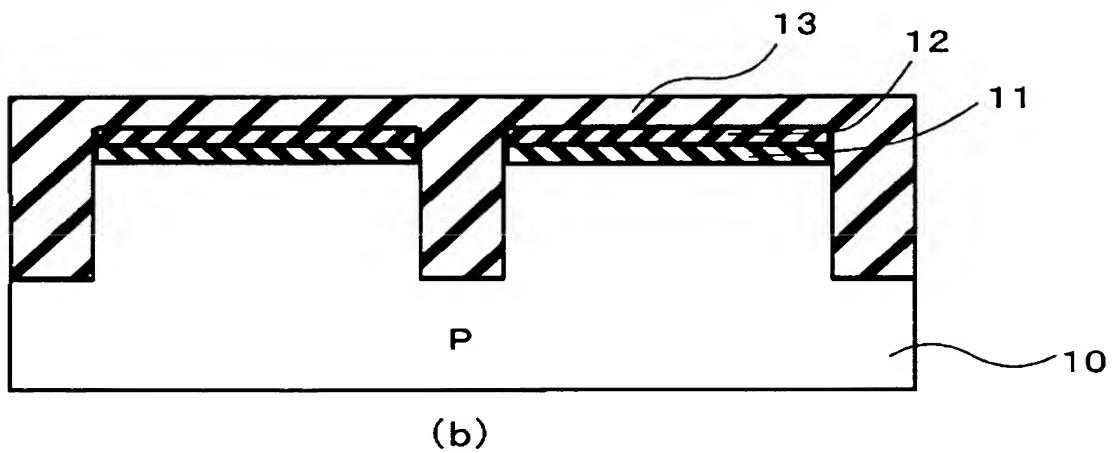
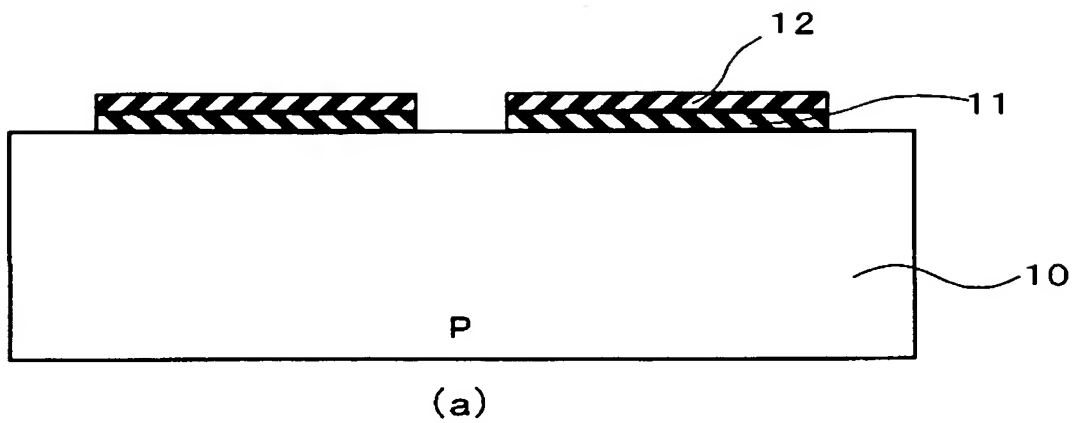
【符号の説明】

【0116】

- 10 シリコン基板
- 11 第1の絶縁膜
- 12 第2の絶縁膜

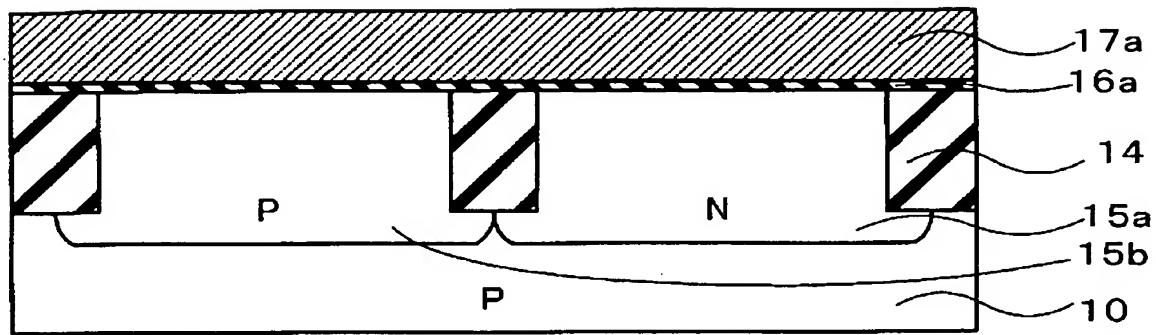
- 1 3 第 3 の絶縁膜
- 1 4 素子分離領域
- 1 5 a N 型ウェル領域
- 1 5 b P 型ウェル領域
- 1 6、1 6 b ゲート絶縁膜
- 1 7、1 7 b、1 7 c、1 7 d ゲート電極膜
- 1 8 a 第 1 のレジスト膜
- 1 8 b 第 2 のレジスト膜
- 1 9 a、1 9 b エクステンション領域
- 2 0 側壁絶縁膜
- 2 1 a、2 1 b ソース及びドレイン領域
- 1 6 a ダミーゲート絶縁膜
- 1 7 a ダミーゲート電極膜
- 2 2 ダミーゲート構造
- 2 3 ライナ絶縁膜
- 2 4 層間絶縁膜
- 2 2 a 空間領域
- 2 2 b ダマシーンゲート構造
- 1 8 キャップ膜
- 2 5 a、2 5 b 金属シリサイド層
- 1 6 c 高誘電体ゲート絶縁膜

【書類名】 図面
【図 1】

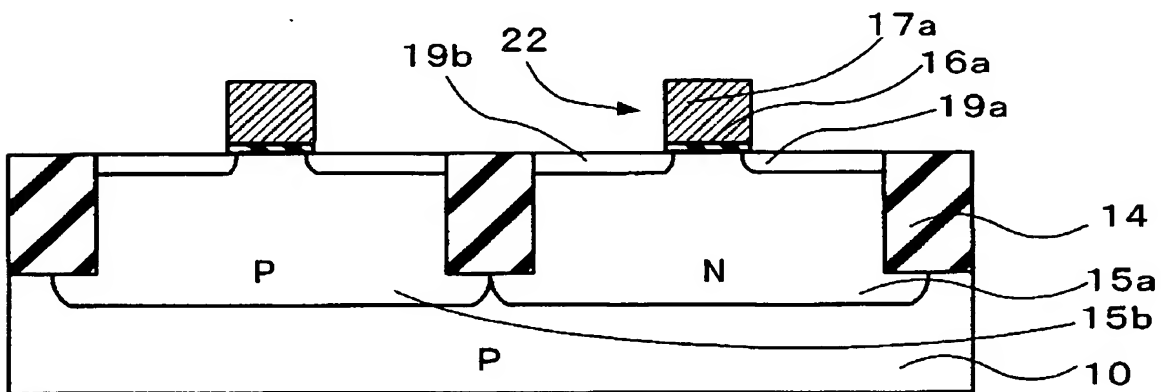


10:シリコン基板 11:第1の絶縁膜 12:第2の絶縁膜
13:第3の絶縁膜 14:素子分離領域 15a:N型ウェル領域
15b:P型ウェル領域

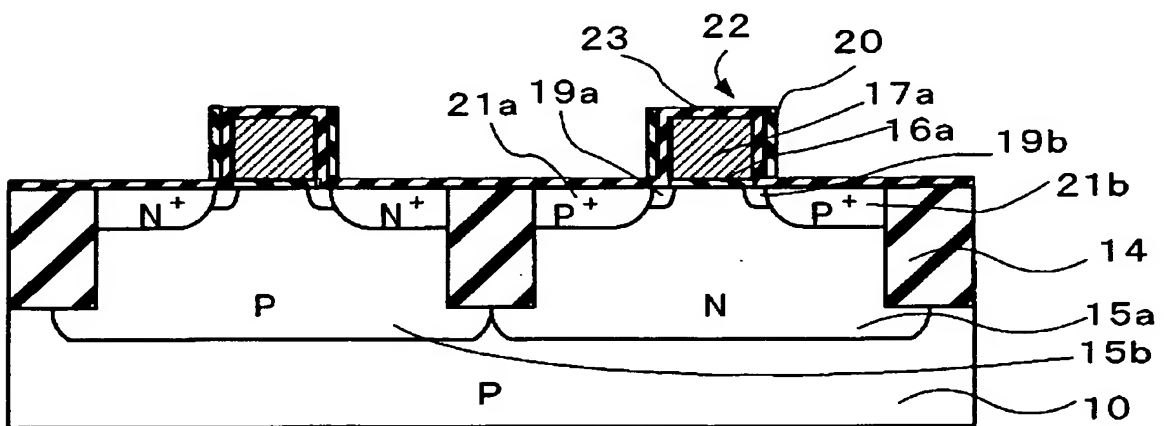
【図 2】



(d)



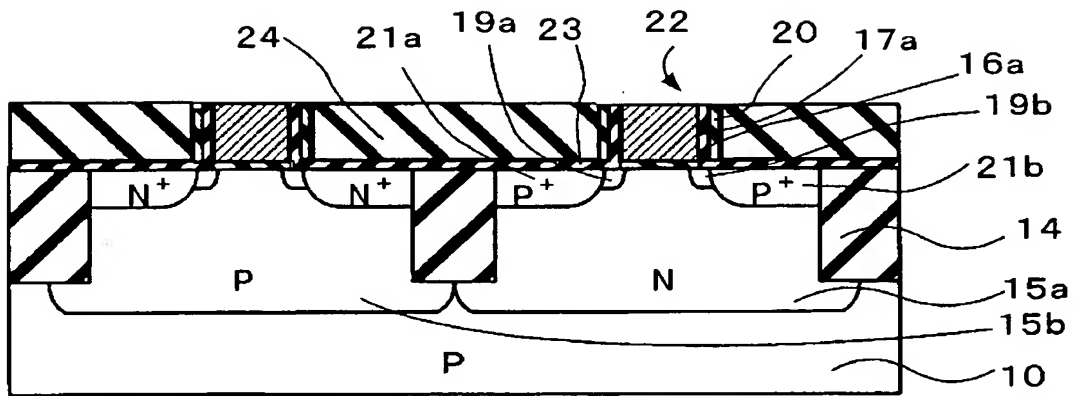
(e)



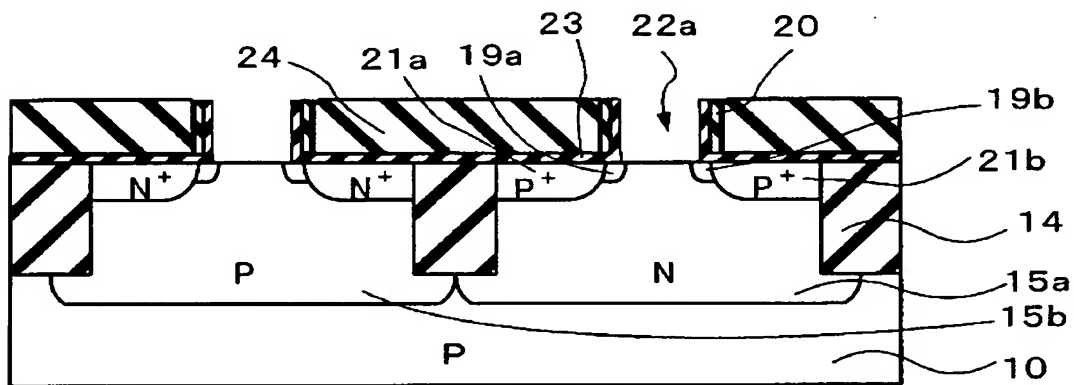
(f)

10:シリコン基板 14:素子分離領域 15a:N型ウェル領域
 15b:P型ウェル領域 16a:ダミーゲート絶縁膜 17a:ダミーゲート電極膜
 19a、19b:エクステンション領域 20:側壁絶縁膜
 21a、21b:ソース及びドレイン領域 22:ダミーゲート構造
 23:ライナー絶縁膜

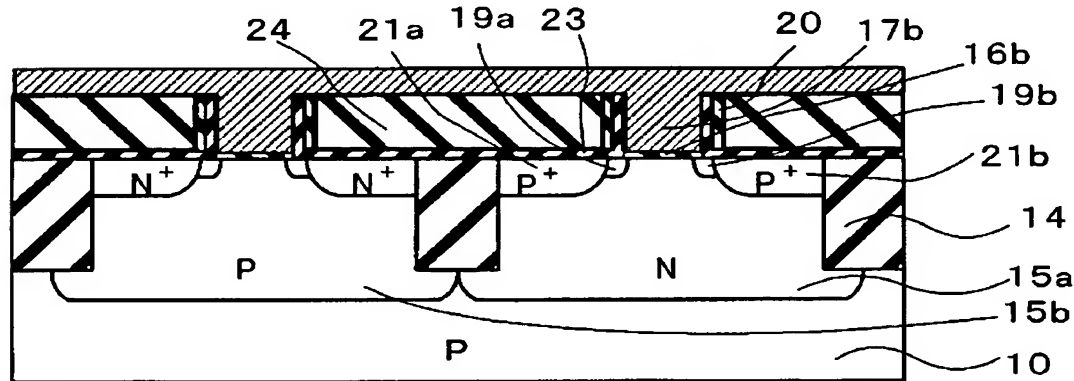
【図3】



(g)



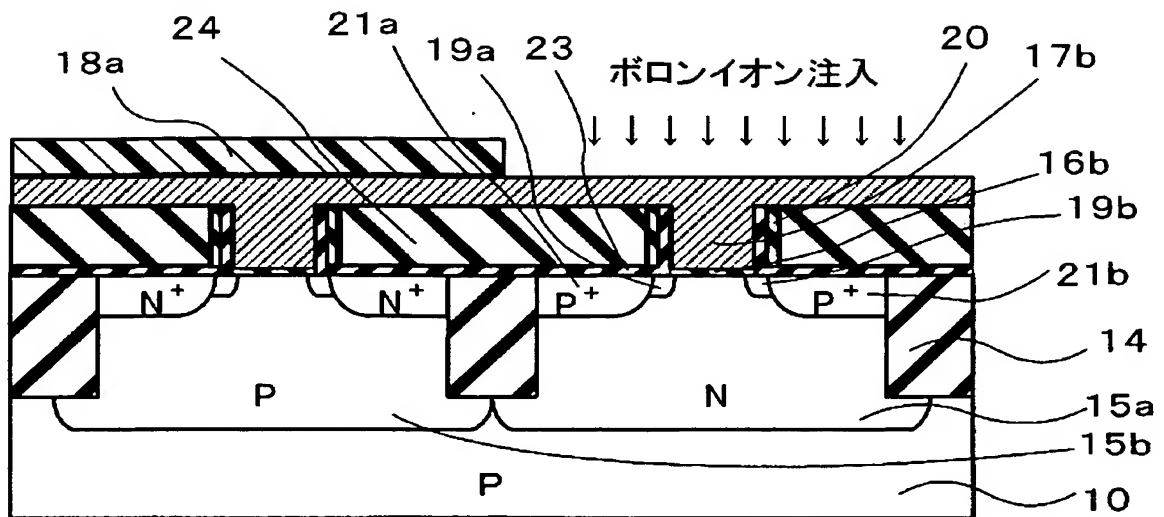
(h)



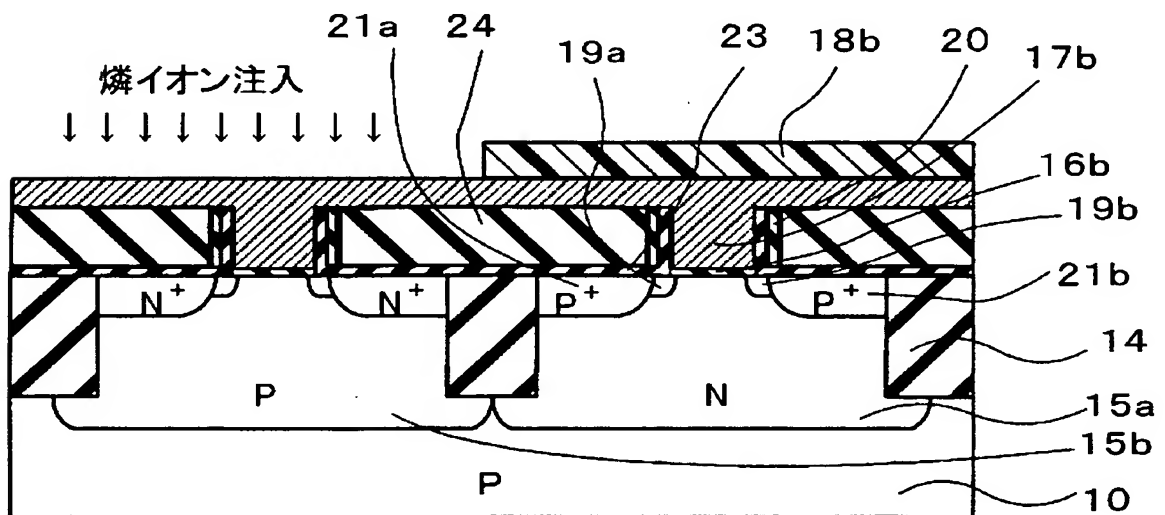
(i)

10:シリコン基板 14:素子分離領域 15a:N型ウェル領域
 15b:P型ウェル領域 16a:ダミーゲート絶縁膜 17a:ダミーゲート電極膜
 19a、19b:エクステンション領域 20:側壁絶縁膜
 21a、21b:ソース及びドレイン領域 22:ダミーゲート構造
 22a:空間領域 23:ライナー絶縁膜 24:層間絶縁膜
 16b:ゲート絶縁膜 17b:ゲート電極膜

【図4】



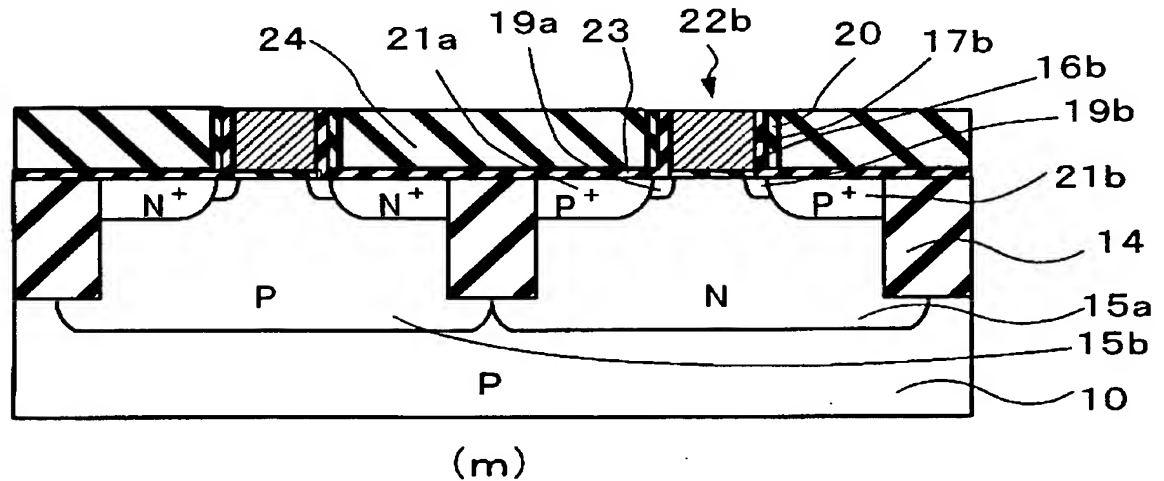
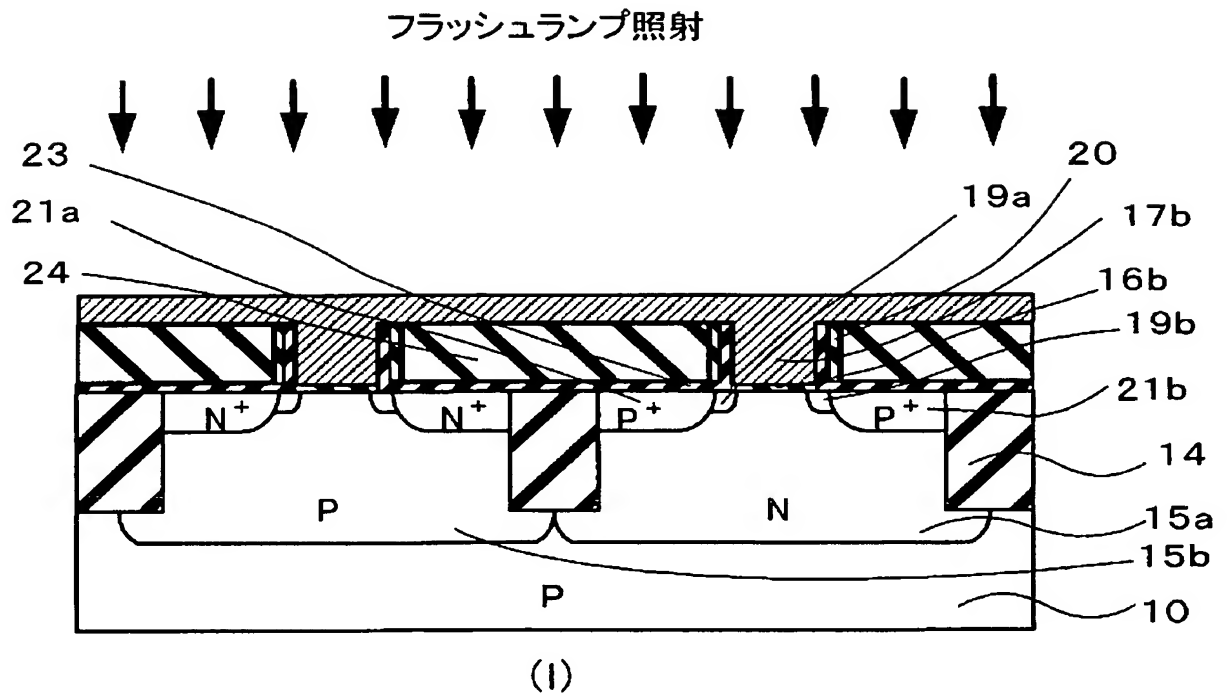
(j)



(k)

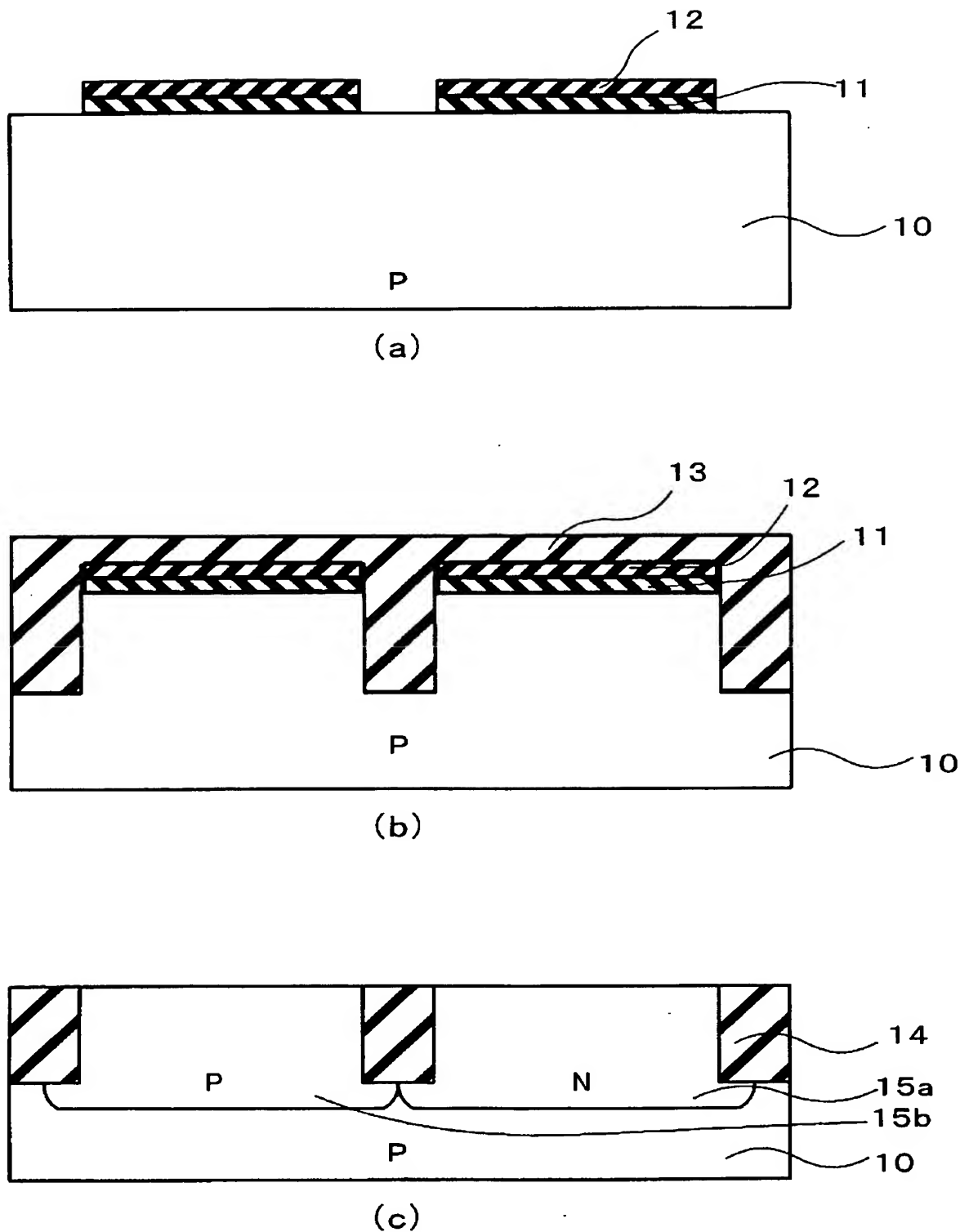
10:シリコン基板 14:素子分離領域 15a:N型ウェル領域
 15b:P型ウェル領域 18a:第1のレジスト膜 18b:第2のレジスト膜
 19a、19b:エクステンション領域 20:側壁絶縁膜
 21a、21b:ソース及びドレイン領域 23:ライナー絶縁膜
 24:層間絶縁膜 16b:ゲート絶縁膜 17b:ゲート電極膜

【図 5】



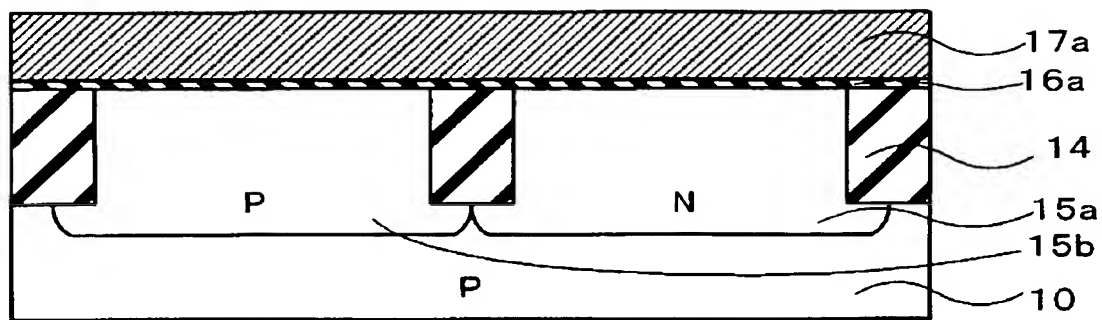
10: シリコン基板 14: 素子分離領域 15a: N型ウェル領域
 15b: P型ウェル領域 19a、19b: エクステンション領域 20: 側壁絶縁膜
 21a、21b: ソース及びドレイン領域 23: ライナー絶縁膜
 24: 層間絶縁膜 16b: ゲート絶縁膜 17b: ゲート電極膜
 22b: ダマシングート構造

【図 6】

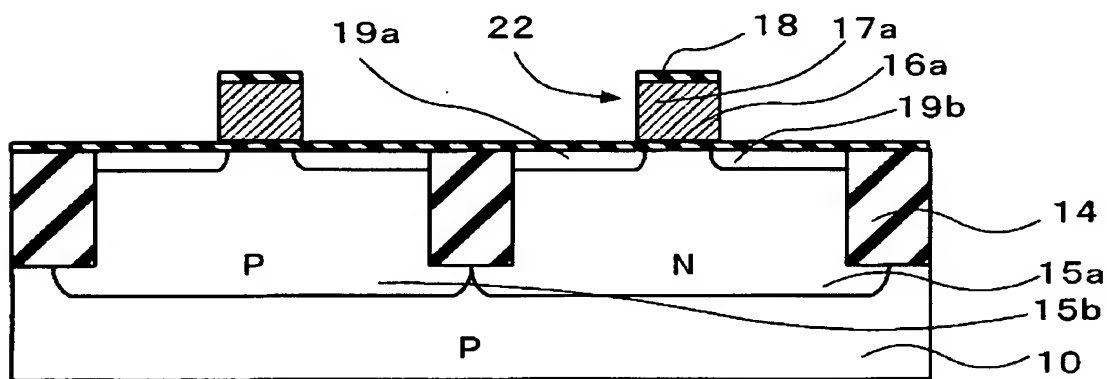


10:シリコン基板 11:第1の絶縁膜 12:第2の絶縁膜
13:第3の絶縁膜 14:素子分離領域 15a:N型ウェル領域
15b:P型ウェル領域

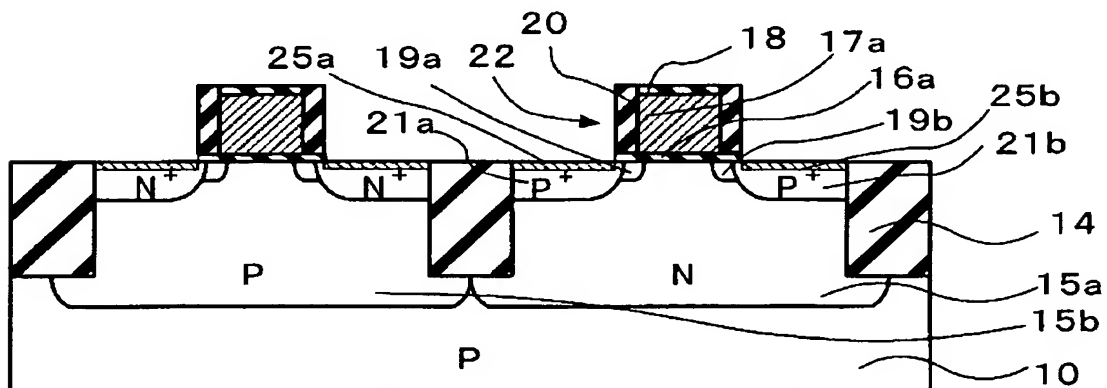
【図 7】



(d)



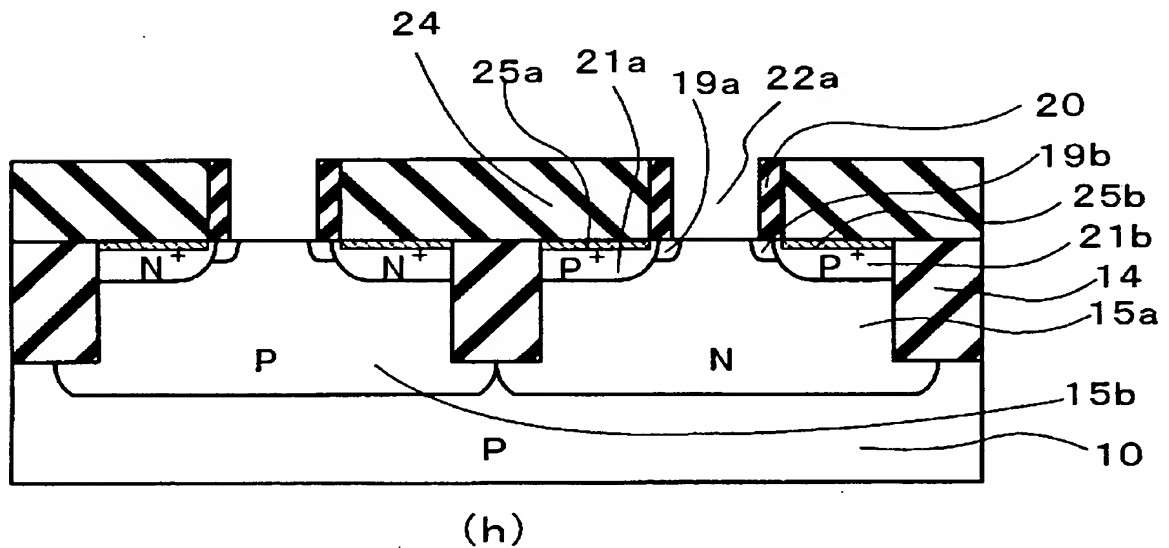
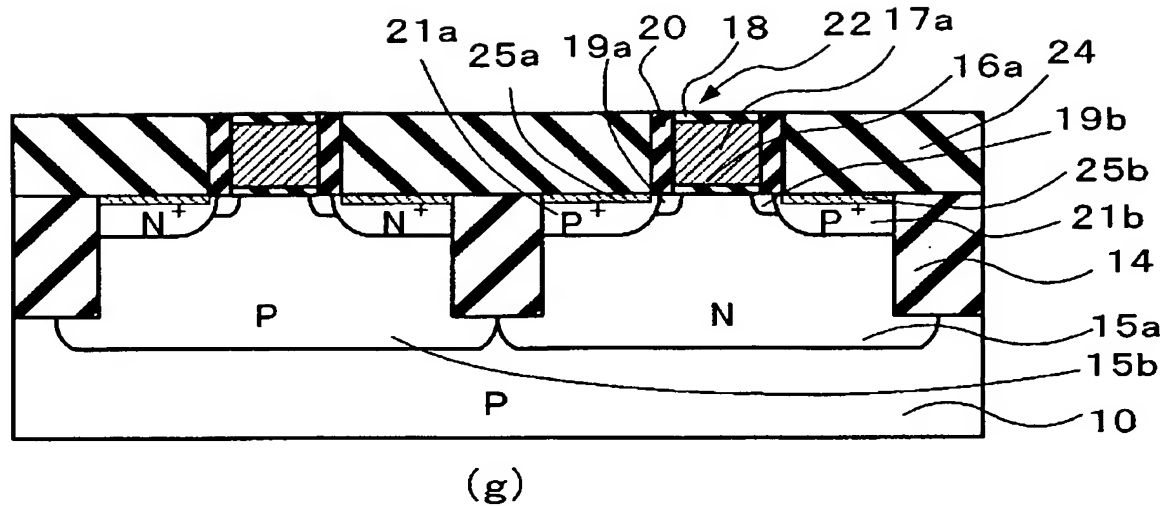
(e)



(f)

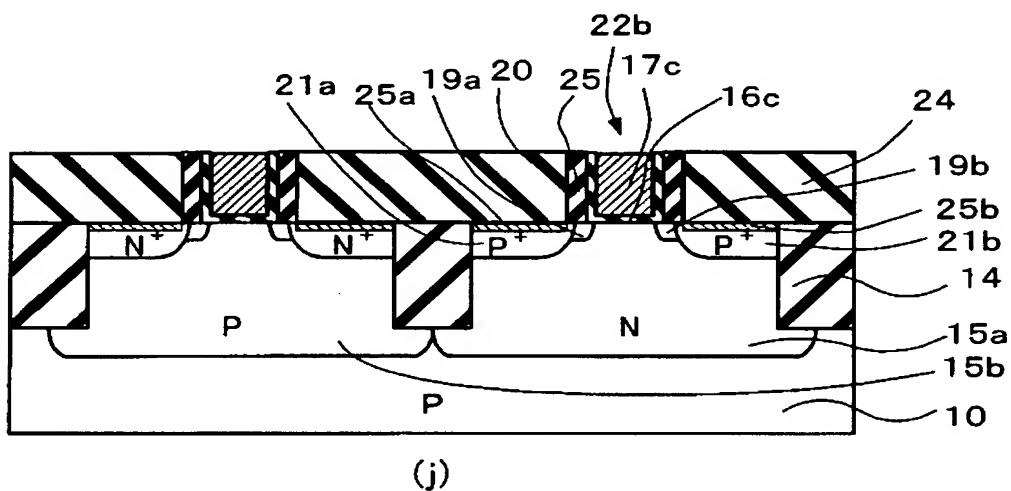
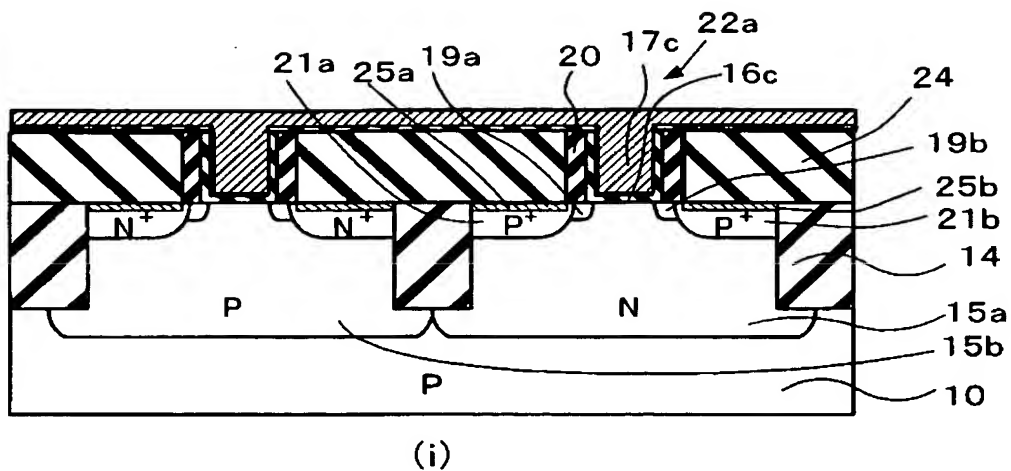
10:シリコン基板 14:素子分離領域 15a:N型ウェル領域
 15b:P型ウェル領域 16a:ダミーゲート絶縁膜 17a:ダミーゲート電極膜
 18:キャップ膜 19a、19b:エクステンション領域 20:側壁絶縁膜
 21a、21b:ソース及びドレイン領域 22:ダミーゲート構造
 25a、25b:コバルトシリサイド層

【図 8】



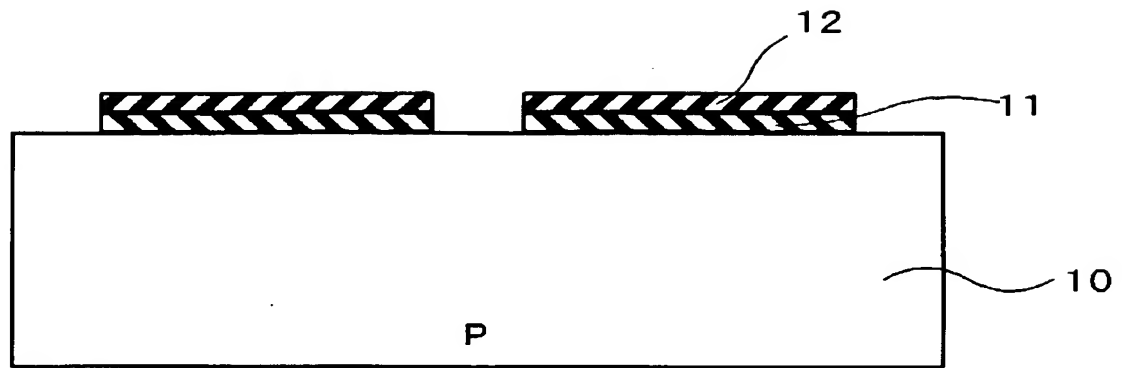
10:シリコン基板 14:素子分離領域 15a:N型ウェル領域
 15b:P型ウェル領域 16a:ダミーゲート絶縁膜 17a:ダミーゲート電極膜
 22:ダミーゲート構造 18:キャップ膜 19a、19b:エクステンション領域
 20:側壁絶縁膜 21a、21b:ソース及びドレイン領域
 25a、25b:コバルトシリサイド層 24:層間絶縁膜 22a:空間領域

【図 9】

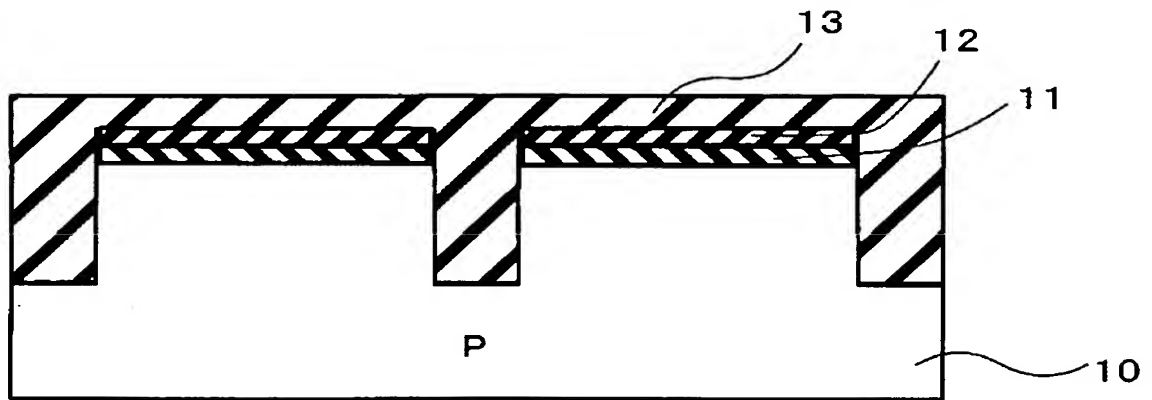


10:シリコン基板 14:素子分離領域 15a:N型ウェル領域
 15b:P型ウェル領域 19a、19b:エクステンション領域 20:側壁絶縁膜
 21a、21b:ソース及びドレイン領域 22a:空間領域
 25a、25b:コバルトシリサイド層 24:層間絶縁膜
 16c:高誘電体ゲート絶縁膜 17c:ゲート電極膜
 22b:ダマシングゲート構造

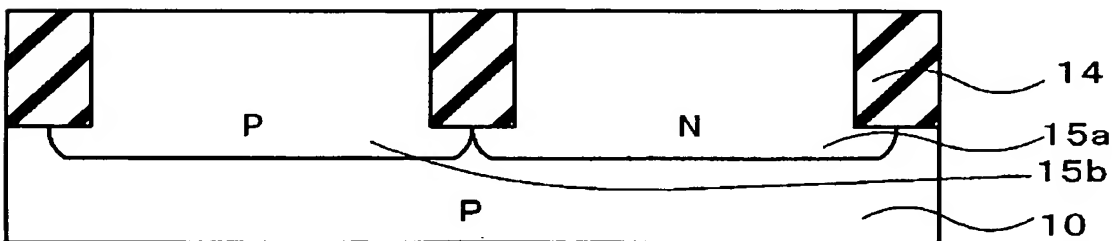
【図 10】



(a)



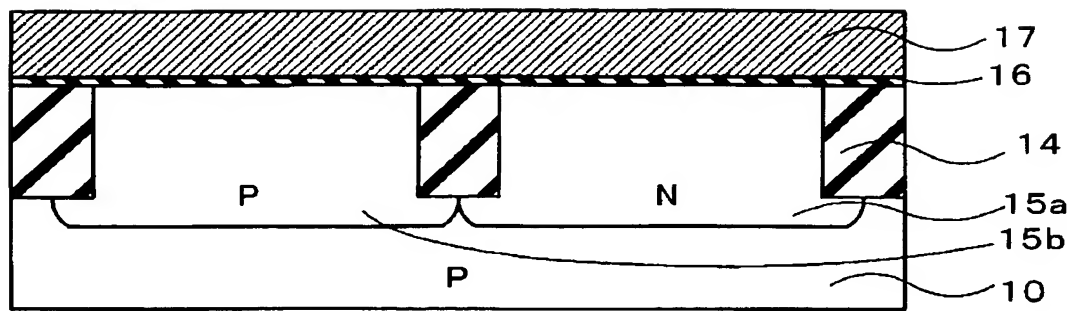
(b)



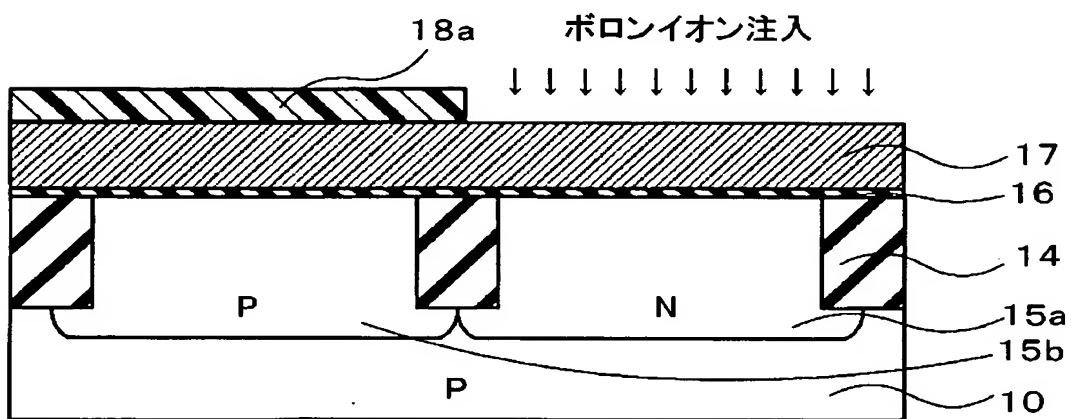
(c)

10:シリコン基板 11:第1の絶縁膜 12:第2の絶縁膜
13:第3の絶縁膜 14:素子分離領域 15a:N型ウェル領域
15b:P型ウェル領域

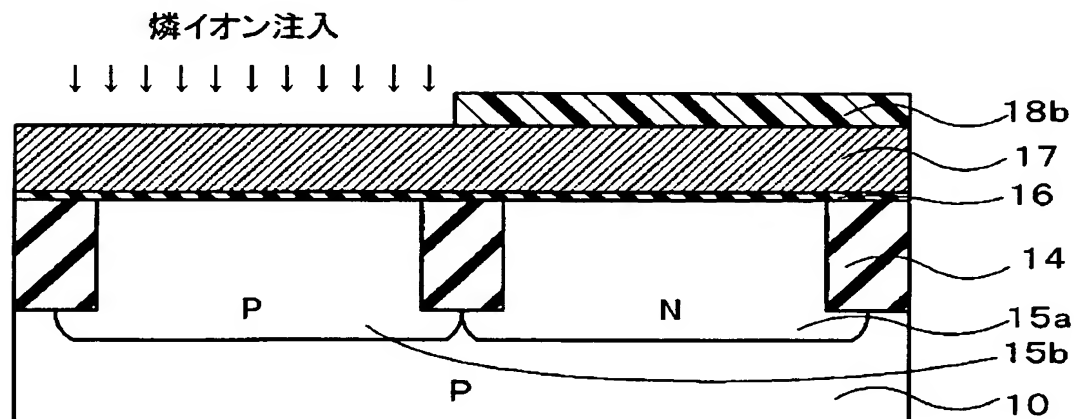
【図11】



(d)



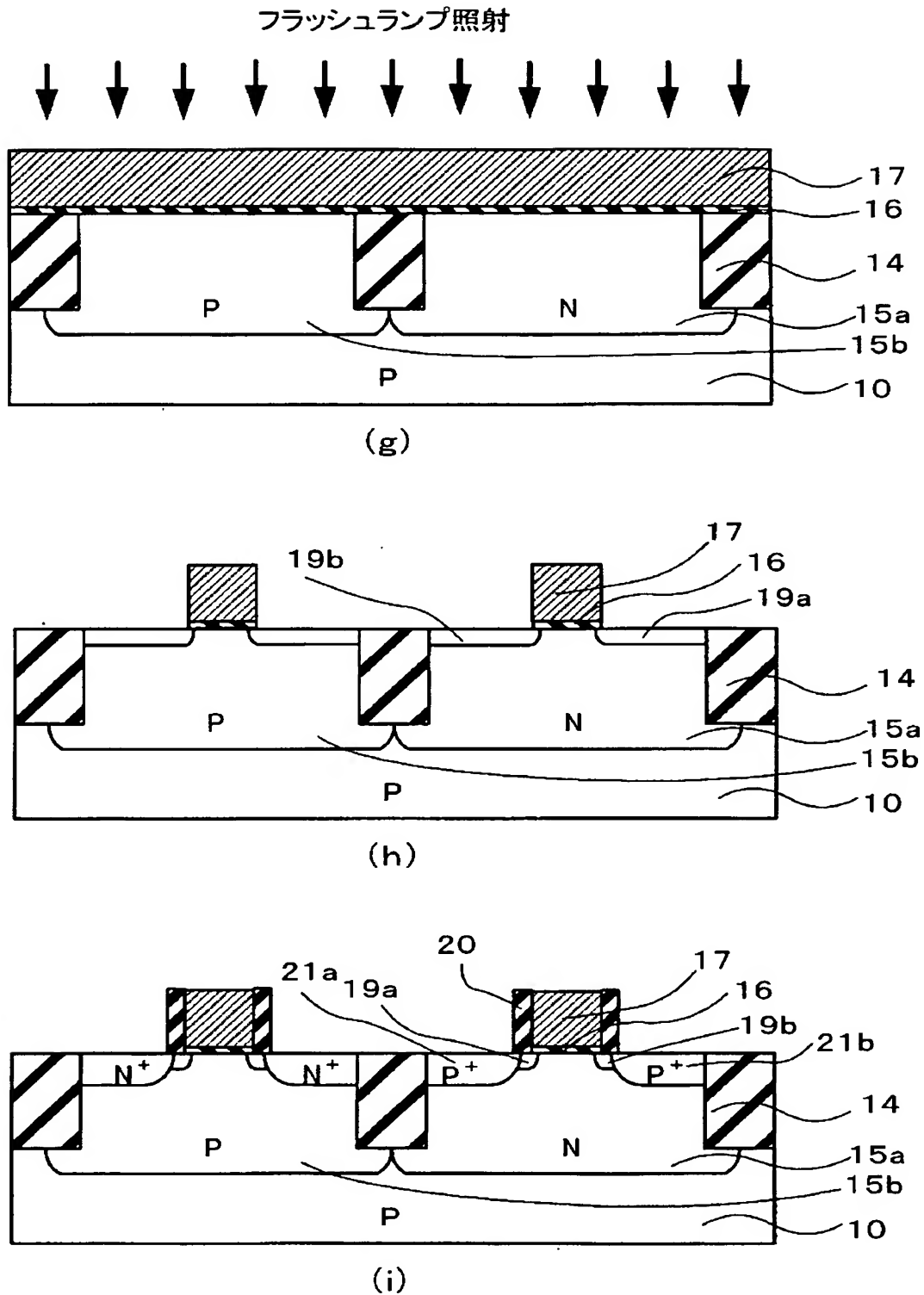
(e)



(f)

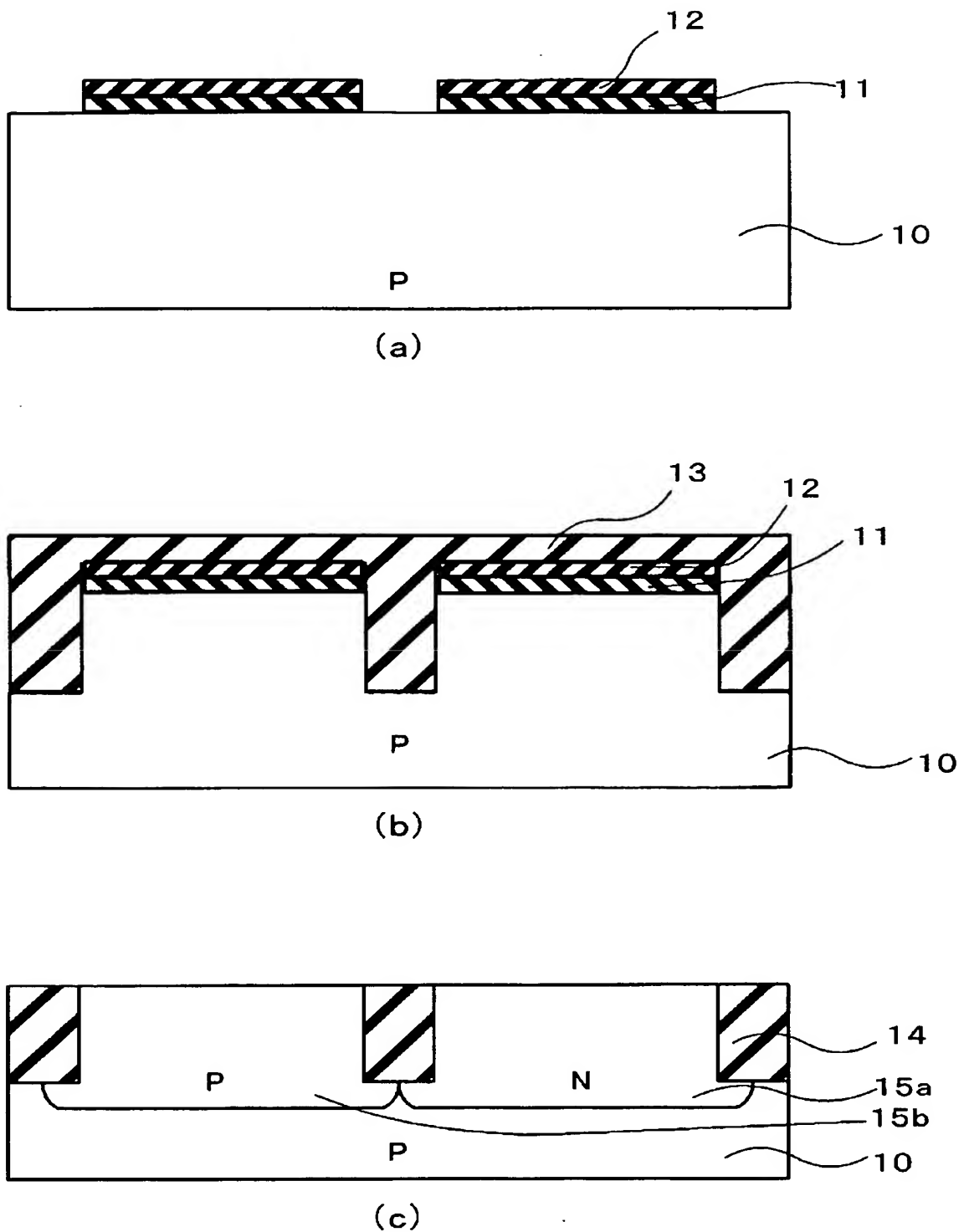
10: シリコン基板 14: 素子分離領域 15a: N型ウェル領域
 15b: P型ウェル領域 16: ゲート絶縁膜 17: ゲート電極膜
 18a: 第1のレジスト膜 18b: 第2のレジスト膜

【図 12】



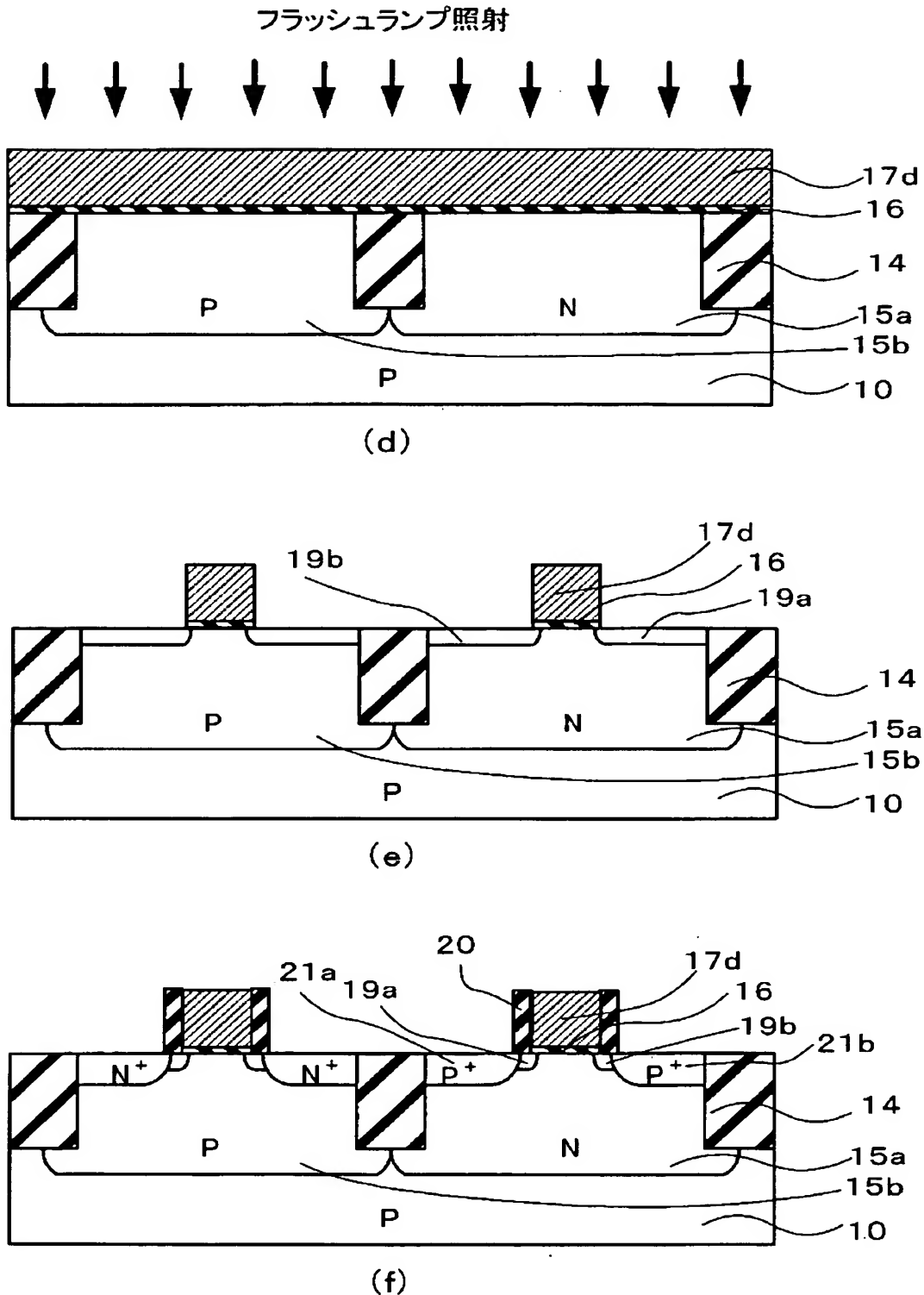
10:シリコン基板 14:素子分離領域 15a:N型ウェル領域
 15b:P型ウェル領域 16:ゲート絶縁膜 17:ゲート電極膜
 19a、19b:エクステンション領域 20:側壁絶縁膜
 21a、21b:ソース及びドレイン領域

【図13】



10:シリコン基板 11:第1の絶縁膜 12:第2の絶縁膜
13:第3の絶縁膜 14:素子分離領域 15a:N型ウェル領域
15b:P型ウェル領域

【図 14】



10:シリコン基板 14:素子分離領域 15a:N型ウェル領域
 15b:P型ウェル領域 16:ゲート絶縁膜 17d:ゲート電極膜
 19a、19b:エクステンション領域 20:側壁絶縁膜
 21a、21b:ソース及びドレイン領域

【書類名】 要約書

【要約】

【課題】 MISFETにおけるゲート電極膜の仕事関数を変え、適正なしきい値電圧を得ると共に、微細化が可能な半導体装置の製造方法を提供すること。

【解決手段】 ゲート電極膜17bを不純物添加金属シリサイド膜で構成し、その後にエネルギービームを照射してゲート電極膜17bを熱処理する。不純物添加金属シリサイド膜における不純物により、その仕事関数を変え、これにより、MISFETのしきい値電圧を所定の値に制御することができる。また、短時間高温熱処理によって、熱処理による素子特性への悪影響が比較的少ない半導体装置が得られる。

【選択図】 図5

認定・付加情報

特許出願の番号	特願 2003-370755
受付番号	50301802997
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年10月31日

<認定情報・付加情報>

【提出日】 平成15年10月30日

特願 2 0 0 3 - 3 7 0 7 5 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝